

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

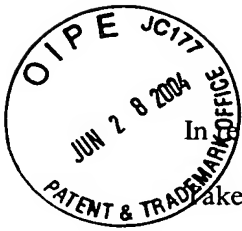
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Application of

Yakeshi KIJIMA et al.

Application No.: 10/690,021

Filed: October 22, 2003

Docket No.: 117581

For: FERROELECTRIC FILM, FERROELECTRIC CAPACITOR, FERROELECTRIC
MEMORY, PIEZOELECTRIC ELEMENT, SEMICONDUCTOR ELEMENT,
METHOD OF MANUFACTURING FERROELECTRIC FILM, AND METHOD OF
MANUFACTURING FERROELECTRIC CAPACITOR

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-309487 Filed October 24, 2002

Japanese Patent Application No. 2003-076129 Filed March 19, 2003

Japanese Patent Application No. 2003-085791 Filed March 26, 2003

Japanese Patent Application No. 2003-294072 Filed August 18, 2003

Japanese Patent Application No. 2003-302900 Filed August 27, 2003

In support of this claim, certified copies of said original foreign applications:

☒ are filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/emt
Date: June 28, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 4 日
Date of Application:

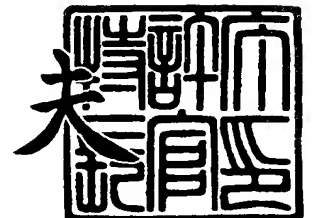
出 願 番 号 特 願 2 0 0 2 - 3 0 9 4 8 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 0 9 4 8 7]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 J0095494

【提出日】 平成14年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 木島 健

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 ▲濱▼田 泰彰

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 名取 栄治

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体薄膜並びに強誘電体メモリ及びその製造方法

【特許請求の範囲】

【請求項1】 $AB_{1-x}Nb_xO_3$ の一般式で示され、A元素はPb、B元素はV、W及びHfのうち、一つ以上の組み合わせからなり、 $0.05 \leq x \leq 1$ の範囲でNbを含むことを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項2】 請求項1において、 $A=Pb_{1-y}Ln_y$ とし、Lnを、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb及びLuのうち、一つ以上の組み合わせからなり、 $0 < y \leq 0.2$ の範囲であることを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項3】 $(Pb_{1-y}A_y)(B_{1-x}Nb_x)O_3$ の一般式で示され、Aを、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb及びLuのうち、一つ以上の組み合わせからなり、かつ、B元素はV、W及びHfのうち、一つ以上の組み合わせからなり、 $0.05 \leq x \leq 1$ の範囲でNbを含むことを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項4】 請求項1において、 $0.1 \leq x \leq 0.3$ の範囲でNbを含むことを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項5】 PZT系強誘電体において、Zr組成よりもTi組成が多く、かつTi組成のうち、5モル%以上40モル%未満をNbに置換することを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項6】 請求項5において、10モル%以上30モル%以下をNbに置換することを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項7】 請求項5において正方晶PZTを用いることを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項8】 請求項5において、PZT作製用ゾルゲル溶液を用いることを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項9】 請求項5で用いる、PZT作製用ゾルゲル溶液を $PbZrO_3$ 及び $PbTi$

0₃作製用ゾルゲル溶液を混合して用いることを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項 1 0】 請求項5において、同時に0.5モル%以上のSi或いはSi及びGeを含むことを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項 1 1】 請求項5において、同時に0.5モル%以上、5モル%未満のSi或いはSi及びGeを含むことを特徴とする強誘電体薄膜及び該強誘電体薄膜を用いた半導体素子及び製造方法

【請求項 1 2】 請求項1～11記載の強誘電体薄膜を用いた強誘電体メモリ及び圧電素子の製造方法

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、強誘電体キャパシタを用いて構成される強誘電体メモリ装置に関するものであり、特に強誘電体キャパシタ及び選択用セルトランジスタを有した、いわゆる1T1C、2T2C型及び、セルトランジスタを有さず、強誘電体キャパシタのみでメモリセルが構成される単純マトリクス型のどちらにも共通で 사용할ことが出来る強誘電体薄膜、及びその薄膜の製造技術、並びに強誘電体メモリ装置、及びその製造方法に関する。

【0 0 0 2】

【背景技術及び発明が解決しようとする課題】

近年、PZT、SBT等の薄膜や、これを用いた強誘電体キャパシタ、強誘電体メモリ装置等の研究開発が盛んに行われている。強誘電体メモリ装置の構造は1T、1T1C、2T2C、単純マトリクス型に大別できる。この中で、1T型は構造上キャパシタに内部電界が発生するためリテンション（データ保持）が1ヶ月と短く、半導体一般で要求される10年保証は不可能といわれている。1T1C型、2T2C型は、DRAMと殆ど同じ構成であり、かつ選択用トランジスタを有するために、DRAMの製造技術を生かすことが出来、かつSRAM並みの書き込み速度が実現されるため、現在までに256kbit以下の小容量品が商品化されている。

これまで強誘電体材料としては、主に $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT) が用いられているが、同材料の場合、Zr/Ti比が52/48あるいは40/60といった、稜面体晶及び正方晶の混在領域及びその近傍の組成が用いられ、かつLa、Sr、Caといった元素をドーピングされて用いられている。この領域が用いられているのは、メモリ素子に最も必要な信頼性を確保するためである。もともとヒステリシス形状はTiをリッチに含む正方晶領域が良好であるのだが、イオン性結晶構造に起因するショットキー欠陥が発生し、このことが原因で、リーク電流特性あるいはインプリント特性（いわゆるヒステリシスの変形の度合い）不良が発生してしまい、信頼性を確保することが困難である。

【0003】

一方、単純マトリックス型は、1T1C型、2T2C型に比べセルサイズが小さく、またキャパシタの多層化が可能であるため、高集積化、低コスト化が期待されている。従来の単純マトリクス型強誘電体メモリ装置に関しては、日本国特開平9-116107号公報等の開示されている。同公開公報においては、メモリセルへのデータ書き込み時に、非選択メモリセルへ書き込み電圧の1/3の電圧を印加する駆動方法が開示されている。しかしながら、この技術においては、動作に必要とされる強誘電体キャパシタのヒステリシスループに関しては、具体的に記載されていない。本願発明者らが開発を進める中で、実際に動作が可能な単純マトリクス型強誘電体メモリ装置を得るには角型性の良好なヒステリシスループが必要不可欠であることが判った。これに対応可能な強誘電体材料としては、Tiリッチな正方晶のPZTが候補として考えられるが、既述の1T1C及び2T2C型強誘電体メモリ同様、信頼性の確保が最重要課題となる。

【0004】

本発明の目的は、1T1C、2T2C及び単純マトリクス型強誘電体メモリのどちらにも使用可能なヒステリシス特性を持つ強誘電体キャパシタを含む、1T1C、2T2C及び単純マトリクス型強誘電体メモリ装置及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】

本発明にかかる強誘電体メモリ装置は、予めSiウェハ上に形成されたCMOSトランジスタのソース或いはドレイン電極のどちらかと導通している第1電極と前記第1電極上に形成された強誘電体膜、前記強誘電体膜上に形成された第2電極、とを含み、前記第1電極、前記強誘電体膜及び前記第2電極によって構成されるキャパシタが、予めSiウェハ上に形成されたCMOSトランジスタによって選択動作を行う強誘電体メモリ装置、並びに予め作りこまれた第3電極と、前記第3電極と交差する方向に配列された第4電極と、少なくとも前記第3電極と前記第4電極との交差領域に配置された強誘電体膜とを含み、前記第3電極、前記強誘電体膜及び前記第4電極によって構成されるキャパシタがマトリクス状に配置された強誘電体メモリ装置であって、前記強誘電体膜は、Ti比率が50%以上の正方晶PZTからなり、Ti組成のうち5モル%以上40モル%未満がNbで置換され、同時に1モル%以上のSi及びGeを含む強誘電体薄膜からなる。

【0006】

本発明にかかる強誘電体メモリの製造方法は、第1の原料溶液である PbZrO_3 薄膜形成用ゾルゲル溶液と第2の原料溶液である PbTiO_3 形成用ゾルゲル溶液と第3の原料溶液である PbNbO_3 形成用ゾルゲル溶液と第4の原料溶液である PbSiO_3 形成用ゾルゲル溶液をコート後に結晶化する工程を含み、前記、第1、第2、及び第3の原料溶液は、強誘電体層を形成するための原料液であり、第4の原料溶液は、第1、第2、及び第3の原料溶液を強誘電体層として形成するために必要不可欠な、触媒効果を有する常誘電体層を生成するための原料液である。

【0007】

【発明の実施の形態】

本発明の実施の形態にかかる強誘電体メモリは、以下の1~3によって構成される。

【0008】

1. 強誘電体メモリ装置のキャパシタ

図1は、本実施の形態の強誘電体メモリ装置における、強誘電体キャパシタを示した図である。図1において、101は本発明による $\text{Pb}(\text{Zr}, \text{Ti}, \text{Nb})\text{O}_3$ (PZTN) 強誘電体膜、102は第1電極、103は第2電極である。第1電極102及び第2電極103は、Pt

, Ir, Ru等の貴金属単体または前記貴金属を主体とした複合材料よりなる。第1電極に強誘電体の元素が拡散すると電極と強誘電体膜との界面部に組成ずれを起こしヒステリシスの角型性が低下するため、第1電極には強誘電体の元素が拡散しない緻密性が要求される。第1電極の緻密性を上げるために、質量の重いガスでスパッタ成膜する方法、Y、La等の酸化物を貴金属電極中に分散させる等の方法がとられる。なお、図1においては、基板やその他の強誘電体メモリ装置の構成要素(MOSトランジスタ等)を省略している。これらの構成要素については後述する。

【0009】

次に、PZTN薄膜101の成膜方法の一例を述べる。

【0010】

第1の原料液は、PZTN強誘電体相の構成金属元素のうち、Pb及びZrによる PbZrO_3 ペロブスカイト結晶を形成するため縮重合体をn-ブタノール等の溶媒に無水状態で溶解した溶液である。第2の原料液は、PZTN強誘電体相の構成金属元素のうち、Pb及びTiによる PbTiO_3 ペロブスカイト結晶を形成するため縮重合体をn-ブタノール等の溶媒に無水状態で溶解した溶液である。第3の原料液は、PZTN強誘電体相の構成金属元素のうち、Pb及びNbによる PbNbO_3 ペロブスカイト結晶を形成するため縮重合体をn-ブタノール等の溶媒に無水状態で溶解した溶液である。

【0011】

例えば上記第1、第2及び第3の原料溶液を、用いて、 $\text{PbZr}_{0.2}\text{Ti}_{0.6}\text{Nb}_{0.2}\text{O}_3$ (PZTN) 強誘電体とする場合、(第1の原料溶液)：(第2の原料溶液)：(第3の原料溶液)＝2：6：2に混合することになるが、この混合溶液をそのまま結晶化させても、強誘電体PZTN薄膜は作製することは出来ない。Nbを混合すると、結晶化温度が急激に上昇してしまい、700℃以下の素子化可能な温度範囲では結晶化が不可能なため、これまでは5モル%以上のNbはTiの置換元素としては用いられておらず、これまでは添加剤の域を出ていなかった。加えて、TiがZrよりも多く含まれるPZT正方晶では全く例がなかった。このことは、参考文献J. Am. Ceram. Soc, 84(2001)902やPhys. Rev. Let, 83(1999)1347等より明らかである。

【0012】

本発明では、上記課題を、第4の原料液としての、 PbSiO_3 結晶を形成するため縮重合体をn-ブタノール等の溶媒に無水状態で溶解した溶液を1モル%以上5モル%未満で上記混合溶液中に更に添加することで解決することが出来た。

上記第1、第2、第3及び第4溶液の混合溶液を用いることで、PZTNの結晶化温度を 00°C 以下の素子化可能な温度範囲で結晶化させることが可能となった。

【0 0 1 3】

これらの混合液を図11に示したフローチャートに従い成膜する。

具体的には、混合溶液塗布工程、アルコール除去工程、乾燥熱処理工程、脱脂熱処理工程の一連の工程を所望の回数行い、最後に焼成して強誘電体膜を形成する。

【0 0 1 4】

条件の例を下記に示す。

【0 0 1 5】

混合液の塗布は、スピコートなどの塗布法で行う。初めに混合溶液をPt等の電極用貴金属が被覆されたSi基板上に滴下する。滴下された溶液を基板全面に行き渡らせる目的で500rpm程度でスピンを行った後、50rpm以下に回転数を低下させて10秒ほど回転させる。乾燥熱処理工程は $150^\circ\text{C} \sim 180^\circ\text{C}$ で行う。乾燥熱処理は大気雰囲気下でホットプレート等を用いて行う。同様に脱脂熱処理工程では $300^\circ\text{C} \sim 350^\circ\text{C}$ に保持されたホットプレート上で、大気雰囲気下で行う。結晶化のための焼成は、酸素雰囲気中でサーマルラピッドアニール(RTA)等を用いて行う。また焼結後の膜厚は100~200nm程度である。次に、第2電極をスパッタ法等により形成した後に、第2電極と強誘電体薄膜との界面形成、かつ強誘電体薄膜の結晶性改善を目的にポストアニールを、焼成時と同様、酸素雰囲気中でRTA等を用いて行い、強誘電体キャパシタを得る。

【0 0 1 6】

図2は、本実施の形態で用いられる強誘電体キャパシタのP(分極)-V(電圧)ヒステリシス曲線を模式的に示した図である。この強誘電体キャパシタにおいては、電圧 $+V_s$ 印加時に分極量 $P(+V_s)$ を有し、その後、電圧0にしたとき、分極量 P_r となり、更に電圧 $-1/3V_s$ とした時、分極量 $P(-1/3V_s)$ となり、電圧 $-V_s$ とした時

分極量 $P(-V_s)$ となり、再び電圧0とした時分極量 $-P_r$ となり、更に電圧 $+1/3V_s$ とした時分極量 $P(+1/3V_s)$ となり、再び電圧 $+V_s$ とした時、分極量は再び $P(+V_s)$ に戻るようなヒステリシス曲線を描く。

【0017】

ここで、本願発明者は、本実施の形態で用いられる強誘電体キャパシタにおいて、以下のことを見いだした。すなわち、一旦電圧 V_s を印加して分極量 $P(+V_s)$ にした後、 $-1/3V_s$ の電圧を印加し、さらに印加電圧を0とした時、ヒステリシスループは図2中矢印に示す軌跡をたどり、分極量は安定な値 $P_0(0)$ を持つ。また、一旦電圧 $-V_s$ を印加して分極量 $P(-V_s)$ にした後、 $+1/3V_s$ の電圧を印加し、さらに印加電圧を0とした時、ヒステリシスループは図2中矢印に示す軌跡をたどり、分極量は安定な値 $P_0(1)$ を持つ。

【0018】

この分極量 $P_0(0)$ と分極量 $P_0(1)$ の差が充分にとれていれば、前記特開平9-116107号公報等の開示されている駆動法により単純マトリクス型強誘電体メモリ装置を動作させることが可能である。

【0019】

上記強誘電体キャパシタによれば、結晶化温度の低温化、ヒステリシスの角型性の向上、 P_r の向上が図れる。かかる強誘電体キャパシタを有する単純マトリクス型の強誘電体メモリ装置は駆動が可能である。また強誘電体キャパシタのヒステリシスにおける角型性の向上は、単純マトリクス型の強誘電体メモリ装置の駆動にとって重要なディスタープの安定性に顕著な効果がある。単純マトリクス型強誘電体メモリ装置においては、書き込み、読み出しを行わないセルにも $\pm 1/3V_s$ の電圧がかかるため、この電圧で分極が変化しないこと、いわゆるディスタープ特性が安定である必要がある。本願発明者は、一般的なPZTでは分極の安定した状態から分極を反転させる方向に $1/3V_s$ パルス 10^8 回与えると分極量は80%程度の低下が見られるが、本発明によると10%以下の低下量であることを確認した。

【0020】

2. 強誘電体メモリ装置

図3(A), (B)は、本実施の形態における、単純マトリクス型の強誘電体メモリ装置の構成を示した図である。図3(A)はその平面図、図3(B)は図3(A)のA-A線に沿った断面図である。図3(A)において、符号301乃至303は基板308上に所定の数配列されたワード線であり、符号304乃至306は所定の数配列されたビット線である。ワード線301乃至306とビット線304乃至306との間に、本発明のPZTN強誘電体膜307が挿入され、ワード線とビット線の交差領域に強誘電体キャパシタが形成される。

【0021】

この単純マトリクスにより構成されるメモリセルを配列した強誘電体メモリ装置において、ワード線とビット線の交差領域に形成される強誘電体キャパシタへの書き込みと読み出しは、図示しない周辺の駆動回路や読み出し用の増幅回路等（これらを「周辺回路」と称す）により行う。この周辺回路は、メモリセルアレイと別の基板上にMOSトランジスタにより形成して、ワード線及びビット線に接続するようにしてもよいし、あるいは基板308に単結晶シリコン基板を用いることにより、周辺回路をメモリセルアレイと同一基板上に集積化することも可能である。

【0022】

図4は、本実施の形態における、メモリセルアレイが周辺回路と共に同一基板上に集積化されている強誘電体メモリ装置の一例を示す断面図である。同図において、単結晶シリコン基板401上にMOSトランジスタ402が形成され、このトランジスタ形成領域が周辺回路部となる。MOSトランジスタ402は、単結晶シリコン基板401、ソース・ドレイン領域405、ゲート絶縁膜403、ゲート電極404により構成される。406は素子分離用酸化膜、407は第1の層間絶縁膜、408は第1の配線層である。409は第2の層間絶縁膜、410は強誘電体キャパシタの下部電極（第1電極または第2電極）であり、これがワード線またはビット線となる。411は強誘電体膜であり、412は強誘電体膜の上に形成された上部電極（第2電極または第1電極）であり、これがビット線またはワード線となる。下部電極410と、強誘電体相と常誘電体相とを含む強誘電体膜411と、上部電極412とにより、メモリセルアレイが構成される。413は第3の層間絶縁膜であり、414は第2の配線層である。第2の配

線層414により、メモリセルアレイと周辺回路部が接続される。415は保護膜である。以上の構成の強誘電体メモリ装置では、メモリセルアレイと周辺回路部は同一基板上に集積することができる。なお、図4の場合、周辺回路部上にメモリセルアレイが形成されている構成であるが、もちろん、周辺回路部上にメモリセルアレイが配置されず、メモリセルアレイは周辺回路部と平面的に接しているような構成としてもよい。

【0023】

本実施の形態で用いられる強誘電体キャパシタは、ヒステリシスの角形性が非常に良く、安定なディスターブ特性を有する。さらに、この強誘電体キャパシタは、プロセス温度の低温化により周辺回路等や他の素子へのダメージが少なく、またプロセスダメージ(特に水素の還元)が少ないので、ダメージによるヒステリシスの劣化を抑えることができる。したがって、かかる強誘電体キャパシタを用いることで、単純マトリクス型強誘電体メモリ装置の駆動が可能になる。

【0024】

また図5には、従来の1T1C型強誘電体メモリの構造図を示した。

【0025】

図のように、キャパシタ絶縁膜に本発明の強誘電体を用い(1C)、スイッチ用のトランジスタ素子(1T)からなるDRAMに良く似た構造のメモリ素子である。本方式は書き込み及び読み出しが100ns以下と高速で行うことが出来、かつ書き込んだデータは不揮発であるため、SRAMの置き換え等に有望と考えられている。

【0026】

3. PZT正方晶強誘電体薄膜

次に、従来のPZT強誘電体の課題と本発明の有効性について述べる。PZT正方晶は、本来、メモリ用途に適した角型性を有しているが、信頼性に乏しく実用化されていない。

【0027】

まず、結晶化後のPZT正方晶薄膜は、Ti含有率が高ければ高いほど、リーク電流密度が高くなる傾向がある。加えて、+あるいは一方向のどちらか一方に一回だけデータを書き込んで、100℃に加熱保持した後、データを読み出す、いわゆ

るスタティックインプリント試験を行うと、24h後には、殆ど書き込んだデータが残っていない。これらは、イオン性結晶であるPZT及びPZTの構成元素であるPbとTi自身の抱える本質的なものであり、このことが構成元素の大部分がPb及びTiからなるPZT正方晶薄膜の抱える最大の課題となっている。

【0028】

それは、PZTペロブスカイトがイオン性結晶であることが大きく、PZTが抱える本質的なものであると考えられる。

【0029】

図6は、PZTの各構成元素の結合にまつわる主なエネルギーの一覧である。PZTは結晶化後に酸素空孔を多く含むことが知られている。すなわち、図6より、Pb-OはPZT構成元素中、結合エネルギーが最も小さく、焼成加熱時や、分極反転時に簡単に切れることが予想される。すなわち、Pbが抜けると電荷中性の原理よりOが抜けることは当然である。

【0030】

次に、インプリント試験等加熱保持時には、PZTの各構成元素は振動し衝突を繰り返していることになるが、PZT構成元素中でTiは最も軽く、高温保持時の振動衝突により抜け易いことは明白である。したがって、Tiが抜けると電荷中性の原理よりOが抜けることは当然である。またPb: +2, Ti: +4の最大価数で結合に寄与しているため、Oが抜ける以外に電荷中性が成り立たないのである。すなわち、PZTはPb及びTiといった陽イオン1つに対しOという陰イオンが2つ抜けやすく、いわゆるショットキー欠陥を容易に形成する。

【0031】

図7に示すように、ペロブスカイト結晶では陽イオンの隣は酸素イオンが来るため、陽イオン欠陥は、あまりリーク電流増大の原因にはなりにくい。しかしながら、酸素イオンはPZT結晶全体に直列で繋がっており、酸素欠損が増えると、リーク電流もそれに従って増大してしまうのである。

【0032】

加えて、PbやTi抜け、それに伴うO抜けは、いわゆる格子欠陥であり、このことは図8に示した、空間電荷分極の原因となり、この結果、強誘電体の分極によ

る電界に格子欠陥による反電界が生じてしまい、いわゆるバイアス電位が掛かった状態となり、この結果、ヒステリシスがシフトあるいは減極してしまう。加えてこの現象は、温度が高くなるほど速やかに生じてしまう。

【0033】

以上はPZTの抱える本質的な問題であり、純粋なPZTでは解決困難であるため、正方晶のPZTを用いたメモリ素子は実現していない。ここで我々は、本発明のPZTN薄膜を用いることで、上記課題を解決した。つまり、TiサイトへのNbドーピングを行った。

【0034】

NbはTiとサイズ（イオン半径が近く、原始半径にいたっては同一である。）がほぼ同じで、重さが2倍あり、衝突時に抜けにくい。また原子価は、+5価で安定であり、たとえPbが抜けても、Nb⁵⁺がPb抜けの価数を補ってくれる。加えて結晶化時に、Pb抜けが発生したとしても、大きなOが抜けるより、小さなNbが入る方が容易であることは、明白である。

かつ、Nbは+4価も存在するため、Ti⁴⁺の代わりは十分に行うことが可能である。更に、実際にはNbは共有結合性が非常に強く、Pbも抜け難くなっていると考えられる

(H. Miyazawa, E. Natori, S. Miyashita, T. Shimoda; Jpn. J. Appl. Phys. 39(2000)5679)。

【0035】

これまでも、PZTへのNbドーピングは、主にZrリッチの稜面体晶領域で行われてきたが、その量は、0.2~0.025mol% (J. Am. Ceram. Soc, 84(2001)902; Phys. Rev. Let, 83(1999)1347)程度と、極僅かなものである。このことは、実施例1で詳細は述べるが、Nbを10モル%添加することで結晶化温度が800℃以上に上昇してしまうためである。

【0036】

しかしながら、本発明では更にPbSiO₃シリケートを1~5モル%添加することで、PZTNの結晶化温度が急激に下がることを見出した。本発明は、Nb添加とPbSiO₃シリケートとを同時に添加することで成り立つ画期的な発明である。

【0037】

本発明において、Nbに代えてW、Vでも同等の効果を有する。また、同様の考え方で、Pb抜けを防止するために、+3価以上の元素でPbを置換することも考えられ、これらの候補として、Laを始めとするランタノイド系が挙げられる。加えて、結晶化を促進する添加剤として、シリケート(Si)ではなくゲルマネート(Ge)を用いることも本発明の範疇である。

【0038】

以下に、本発明の詳細な実施例を記す。

【0039】

(実施例1)

本実施例では $\text{PbZr}_{0.4}\text{Ti}_{0.6}\text{O}_3$ 強誘電体薄膜を作製した。

従来の方法では、20%程度Pbを過剰に含む、溶液を用いるが、これは、揮発Pbの抑制及び結晶化温度低減のためである。しかしながら、出来た薄膜で過剰Pbが、どのようになっているかは不明であり、本来ならば最小限のPb過剰量で抑えるべきである。

【0040】

そこで、過剰Pbが0、5、10、15、20である10重量%濃度の $\text{PbZr}_{0.4}\text{Ti}_{0.6}\text{O}_3$ 形成用ゾルゲル溶液(溶媒:n-ブタノール)を用い、更に10重量%濃度の PbSiO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)を、それぞれ1モル%添加して、図9のフローを用いて200nm $\text{PbZr}_{0.4}\text{Ti}_{0.6}\text{O}_3$ 薄膜を形成した。この時のXRDパターン及び表面モフォロジーは図10のようであった。

【0041】

従来は20%程度過剰なPbが必要であったが、5%過剰のPbで十分に結晶化が進行していることが示された。このことは、わずか1モル% PbSiO_3 触媒が、PZTの結晶化温度を下げるために、過剰Pbは殆どいらなことを示している。以降、PZT、 PbTiO_3 、及び PbZrTiO_3 形成用溶液としては、全て5%Pb過剰溶液を用いている。

【0042】

次に、10重量%濃度の PbZrO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)及び10重量%濃度の PbTiO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)を4:6の割合で混合し

た溶液に10重量%濃度の PbSiO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)を、1モル%添加した混合溶液を用いて図11のフローにしたがって、200nm- $\text{PbZr}_{0.4}\text{Ti}_{0.6}\text{O}_3$ 強誘電体薄膜を作製した。この時の、ヒステリシス特性は、図12に示すように、角型良好なものであった。しかしながら、同時にリーキーであることがわかった。

【0043】

また、比較のために、従来の方法で、前述の図9のフローを用いて、10重量%濃度の $\text{PbZr}_{0.4}\text{Ti}_{0.6}\text{O}_3$ 形成用ゾルゲル溶液(溶媒:n-ブタノール)に10重量%濃度の PbSiO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)を、1モル%添加した混合溶液を用いて、200nm- $\text{PbZr}_{0.4}\text{Ti}_{0.6}\text{O}_3$ 強誘電体薄膜を作製した。この時、ヒステリシス特性は、図13に示すように、あまり良好なヒステリシスはえられなかった。

【0044】

そこで、それぞれの薄膜を用いて脱ガス分析を行ったところ、図14のようであった。PZTゾルゲル溶液で作製した従来の薄膜は、室温から1,000℃までの温度上昇に対して、常にHやCに纏わる脱ガスが確認された。

【0045】

一方、本発明の10重量%濃度の PbZrO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)及び10重量%濃度の PbTiO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)を4:6の割合で混合した溶液を用いた場合は、分解するまで殆ど脱ガスが見られないことが判った。

【0046】

このことは、10重量%濃度の PbZrO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)及び10重量%濃度の PbTiO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)を4:6の割合で混合した溶液を用いることで、初めに混合溶液中の10重量%濃度の PbTiO_3 形成用ゾルゲル溶液(溶媒:n-ブタノール)によりPt上で PbTiO_3 が結晶化し、これが結晶初期核となり、またPtとPZTとの格子ミスマッチを解消し、PZTが容易に結晶化したものと思われた。かつ、混合溶液を用いることで、 PbTiO_3 とPZTが良好な界面で連続して形成され、良好なヒステリシスの角型性へと繋がったものと考えられる。

【 0 0 4 7 】

以降実施例では、 PbZrO_3 と PbTiO_3 の混合溶液を用いた。

【 0 0 4 8 】

(実施例2)

ここでは、本発明によるPZTNと従来のPZTとを比較する。成膜フローは全て、前述の図11を用いた。

【 0 0 4 9 】

$\text{Pb}:\text{Zr}:\text{Ti}:\text{Nb}=1:0.2:0.6:0.2$ 、 $1:0.2:0.7:0.1$ 、及び $1:0.3:0.65:0.5$ とした。すなわちNb添加量を全体の5～20モル%とした。ここに PbSiO_3 を0～1%添加した。この時の結晶性は図15に示すようであった。0%の場合、結晶化を800℃まであげても、常誘電体パイロクロアのみが得られた。0.5%の場合、PZTとパイロクロアの混在であった。1%の場合、PZT(111)単一配向膜が得られた。また結晶性もこれまで得られたことがないほど良好なものであった。

【 0 0 5 0 】

次に PbSiO_3 の1%添加PZTN薄膜に対して、膜厚を120～200nmとしたところ、図16のように、それぞれ膜厚に比例した結晶性を示した。また、図17に示すように、全て角型良好なヒステリシス特性が得られた。また、リーク特性も図18に示すように、膜組成、膜厚によらず、2V印加時（飽和時）で $5\text{E}10^{-8}\sim 7\text{E}-9\text{A}/\text{cm}^2$ と非常に良好であった。

【 0 0 5 1 】

次に、 $\text{PbZr}_{0.2}\text{Ti}_{0.6}\text{Nb}_{0.2}$ 薄膜の疲労特性、スタティックインプリントを測定したところ、図19に示すように、非常に良好であった。特に疲労特性は、上下電極にPtを用いているにもかかわらず、非常に良好であった。

【 0 0 5 2 】

更には、図20に示すように、本発明のPZTNキャパシタ上にオゾンTEOSによる SiO_2 塗布を試みた。従来PZTはオゾンTEOSによる SiO_2 塗布を行うと、TEOSから発生する水素が上部Ptを通してPZTを還元し、全くヒステリシスを示さなくなるほど、PZT結晶が壊れてしまうことが知られている。

【 0 0 5 3 】

しかしながら本発明によるPZTN薄膜は、図21に示すように、ほとんど劣化せず、良好なヒステリシスを保持していた。本発明によるPZTN薄膜は耐還元性にも強いことが分かった。また、本発明による正方晶PZTN薄膜ではNbが40モル%を超えない場合、Nbの添加量に応じて、良好なヒステリシスが得られた。

【0054】

次に従来のPZT薄膜の評価を行った。従来PZTとしては、それぞれPb:Zr:Ti=1:0.2:0.8及び1:0.3:0.7及び1:0.6:0.4とした。

【0055】

リーク特性は、図22に示すように、Ti含有量が増加するほどリーク特性は劣化してしまい、Ti:80%の場合、2V印加時に、 10^{-5} A/cm²となり、メモリ应用到に適していないことが分かった。

【0056】

同様に疲労特性も図23に示すように、Ti含有量が増加するほど疲労特性は劣化した。

またインプリント後には、図24に示すように、殆どデータが読み出せないことが分かった。

以上の実施例から分かるように、本発明によるPZTN薄膜は、従来、PZTの本質が原因と考えられるリーク電流増大並びにインプリント特性劣化という問題を解決したばかりか、これまで、上記理由から使われてこなかった、正方晶PZTをメモリの種類、構造によらずにメモリ用途に用いることが可能となった。加えて、同じ理由から正方晶PZTが使われなかった、圧電素子用途にも本材料は適用可能であると考えられる。

【図面の簡単な説明】

【図1】 本発明の実施の形態における、強誘電体キャパシタの構成を示した図。

【図2】 本発明の実施の形態における、強誘電体キャパシタのP(分極)-V(電圧)ヒステリシス曲線を示した図。

【図3】 本発明の実施の形態における、単純マトリクスにより構成されるメモリセルを配列した強誘電体メモリ装置の構成を示した図であり、同図(A)は

その平面図、同図(B)はその断面図。

【図 4】 本発明の実施の形態における、メモリセルアレイが周辺回路と共に同一基板上に集積化されている強誘電体メモリ装置の一例を示す断面図。

【図 5】 本発明の実施の形態における、1T1C型強誘電体メモリの回路図及び構成を示す図。

【図 6】 本発明の実施の形態における、PZT強誘電体構成元素の結合に関する諸特性を示す図。

【図 7】 本発明の実施の形態における、ショットキー欠陥を示す図。

【図 8】 本発明の実施の形態における、空間電荷分極を示す図。

【図 9】 本発明の実施の形態における、従来のPZT薄膜をスピコート法で形成するためのフローチャートを示す図。

【図 1 0】 本発明の実施の形態における、PZT形成用ゾルゲル溶液中に PbSiO_3 を混合した際の表面モフォロジーと結晶性を示す図。

【図 1 1】 本発明の実施の形態における、本発明のPZTN薄膜をスピコート法で形成するためのフローチャートを示す図。

【図 1 2】 本発明の実施の形態における、 PbZrO_3 及び PbTiO_3 混合ゾルゲル溶液に PbSiO_3 を添加して形成した正方晶PZT薄膜のヒステリシスを示す図。

【図 1 3】 本発明の実施の形態における、従来の正方晶PZT薄膜のヒステリシスを示す図。

【図 1 4】 本発明の実施の形態における、 PbZrO_3 及び PbTiO_3 混合ゾルゲル溶液に PbSiO_3 を添加して形成した正方晶PZT薄膜と従来の正方晶PZT薄膜の脱ガス分析結果を示す図。

【図 1 5】 本発明の実施の形態における、 PbSiO_3 添加量とPZTNの表面モフォロジーおよび結晶性を示す図。

【図 1 6】 本発明の実施の形態における、PZTN薄膜の膜厚と結晶性を示す図。

【図 1 7】 本発明の実施の形態における、PZTN薄膜の膜厚とヒステリシス特性を示す図。

【図 1 8】 本発明の実施の形態における、PZTN薄膜のリーク電流特性を示



す図。

【図 1 9】 本発明の実施の形態における、PZTN薄膜の疲労特性およびスタティックインプリント特性を示す図。

【図 2 0】 本発明の実施の形態における、オゾンTEOSによるSiO₂保護膜形成のキャパシタ構造を示す図。

【図 2 1】 本発明の実施の形態における、オゾンTEOSによるSiO₂保護膜形成後のキャパシタ特性を示す図。

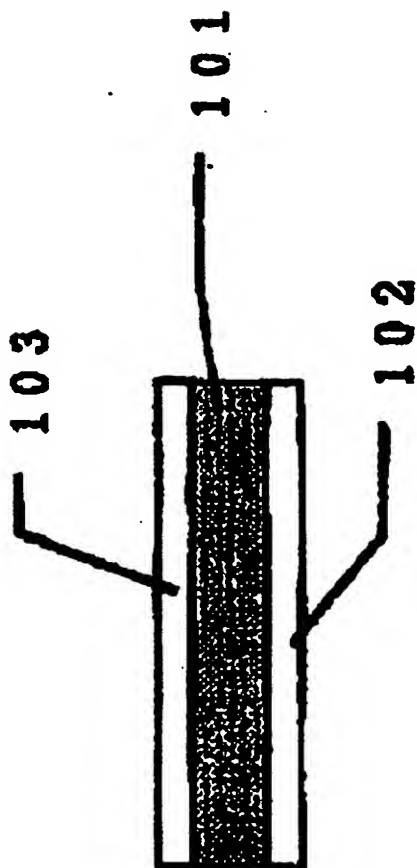
【図 2 2】 本発明の実施の形態における、従来PZT薄膜のリーク電流特性を示す図。

【図 2 3】 本発明の実施の形態における、従来PZTキャパシタの疲労特性を示す図。

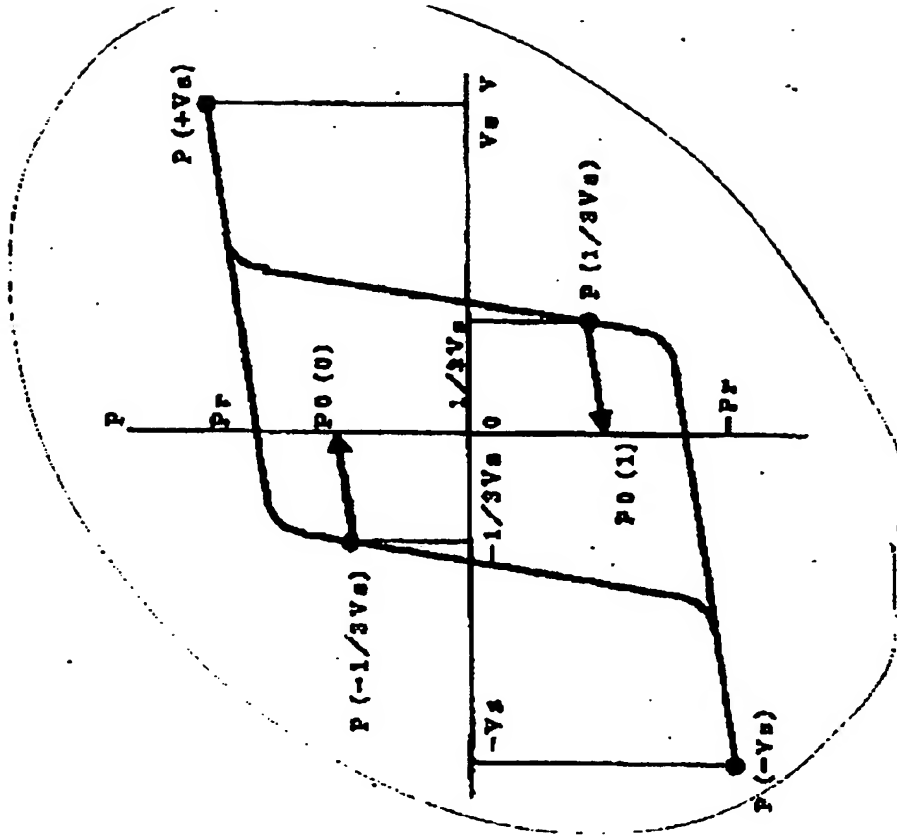
【図 2 4】 本発明の実施の形態における、従来PZTキャパシタのスタティックインプリント特性を示す図。

【書類名】 図面

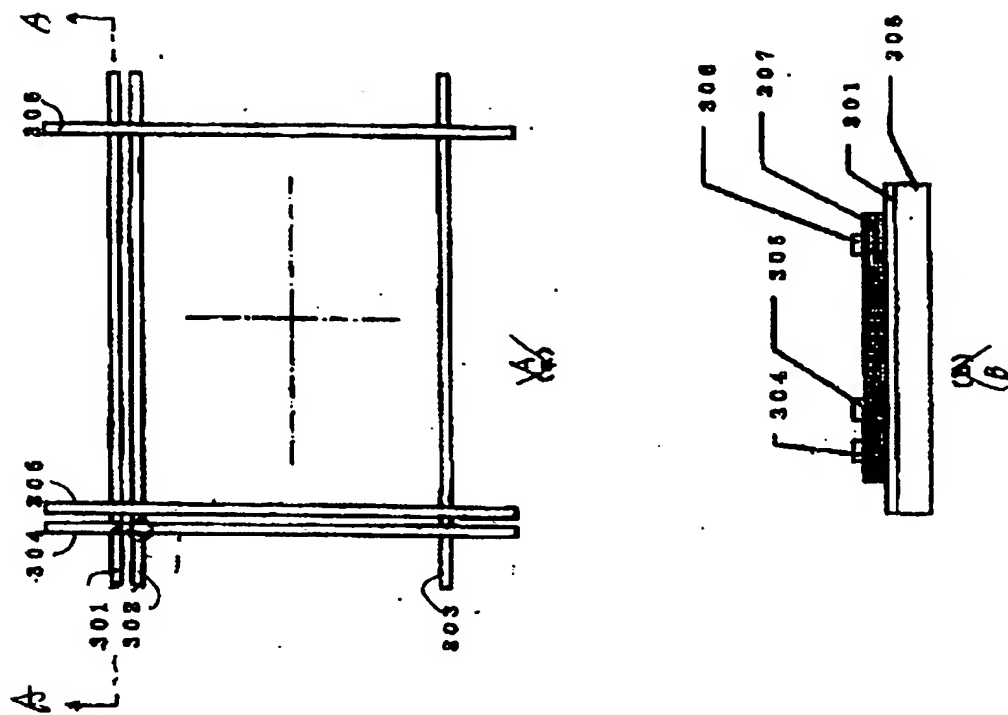
【図 1】



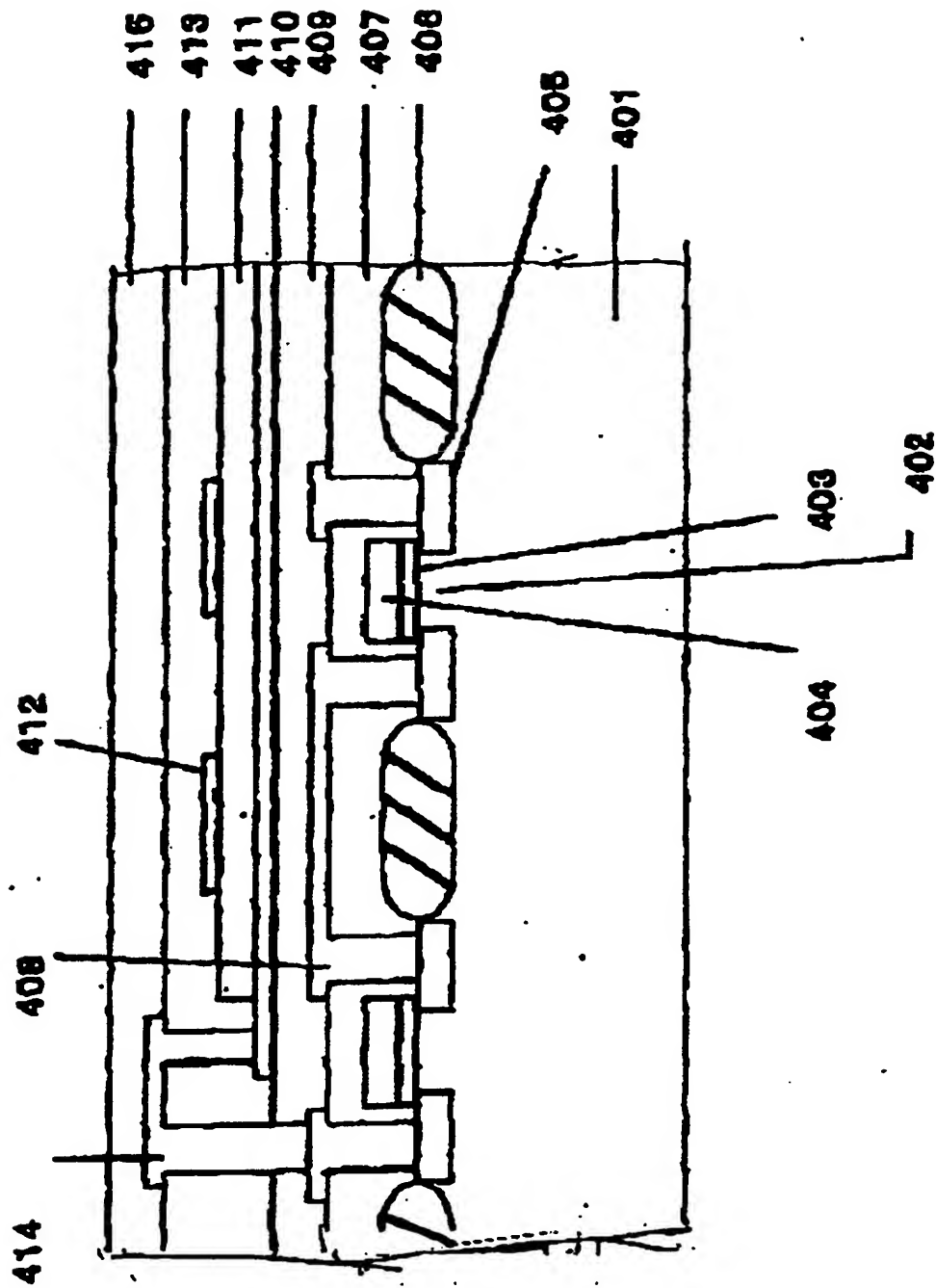
【図 2】



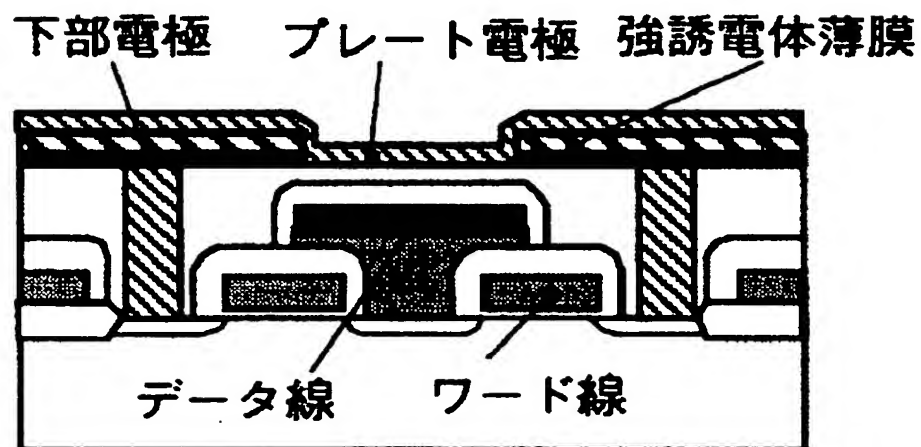
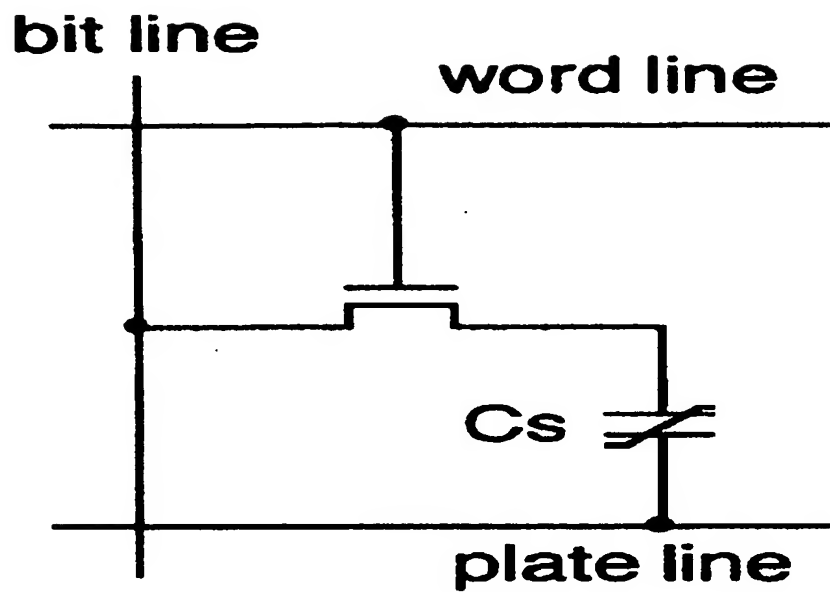
【図 3】



【図 4】



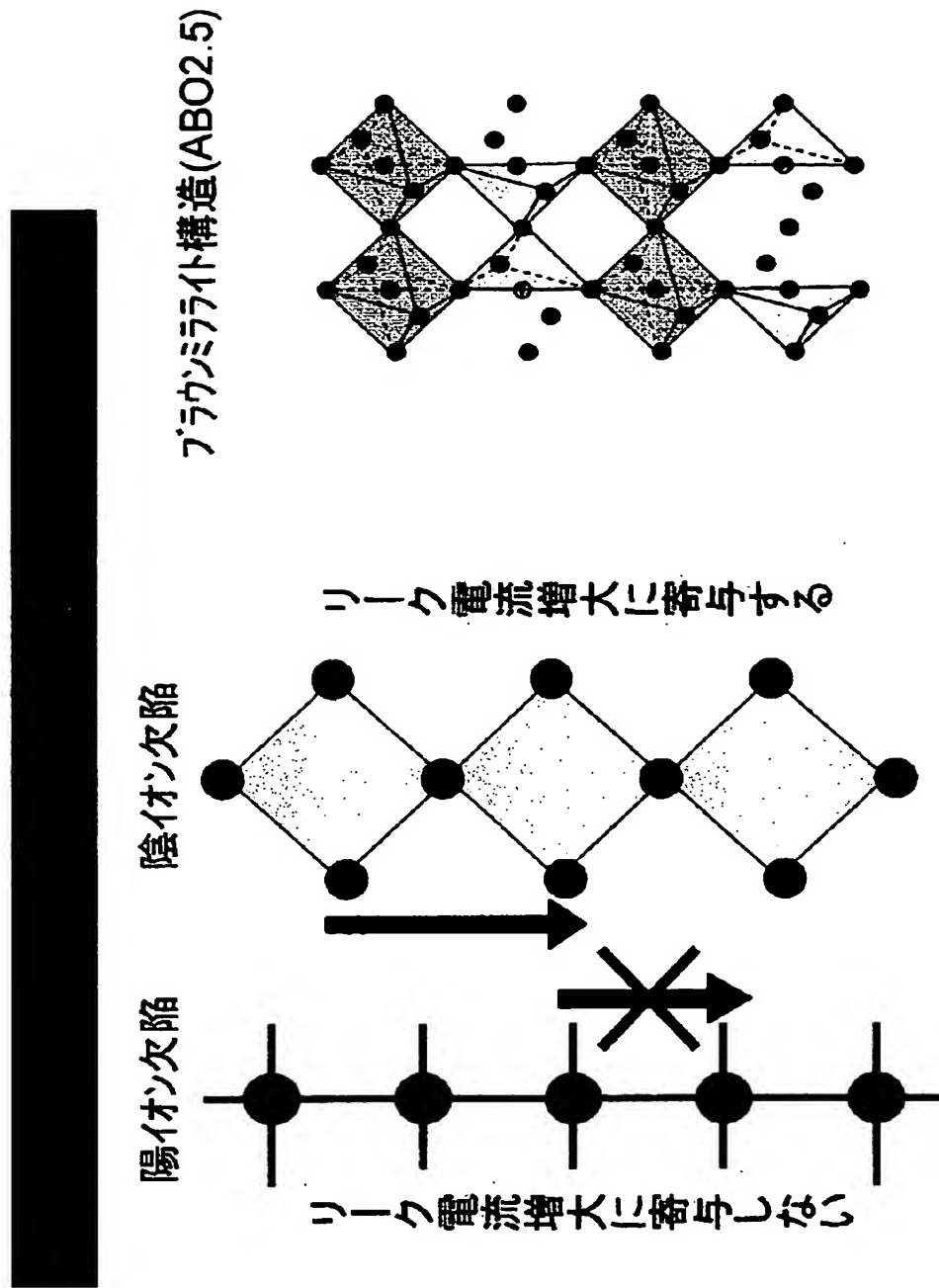
【図 5】



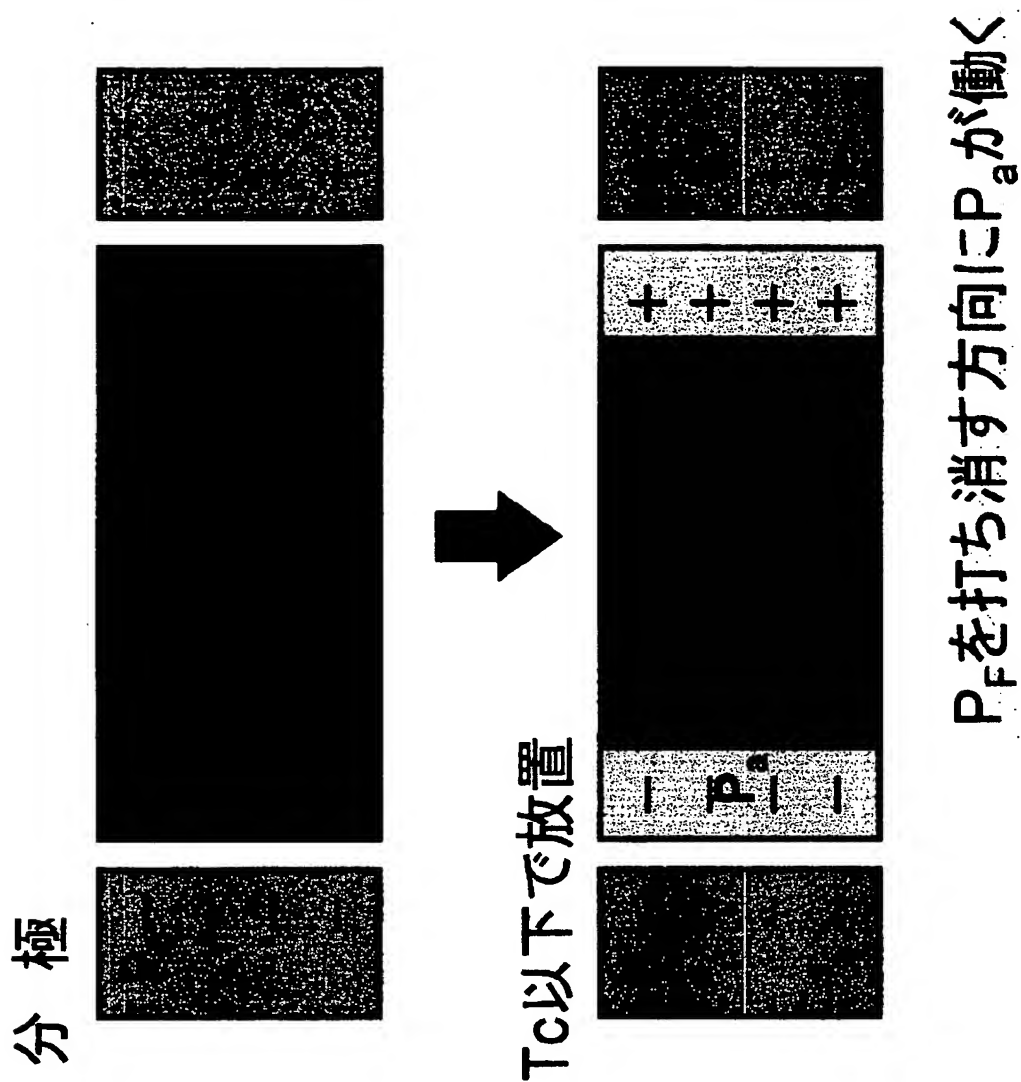
【図 6】

元素	原子量	価数		原子半径 (Å)	結合エネルギー(M-O) (kcal)	イオン化熱 (eV)
		(イオン半径(Å))				
Pb	207.2	+2(1.08), +4(0.78)		1.33	38.8	7.416
Zr	91.224	+4(0.72)		1.6		6.84
Ti	47.88	+2(0.86), +3, +4(0.61)		1.47	73	6.82
Nb	92.906	+3, +4, +5(0.64)		1.47		6.88
O	54.36	-1, -2(1.4)				13.618

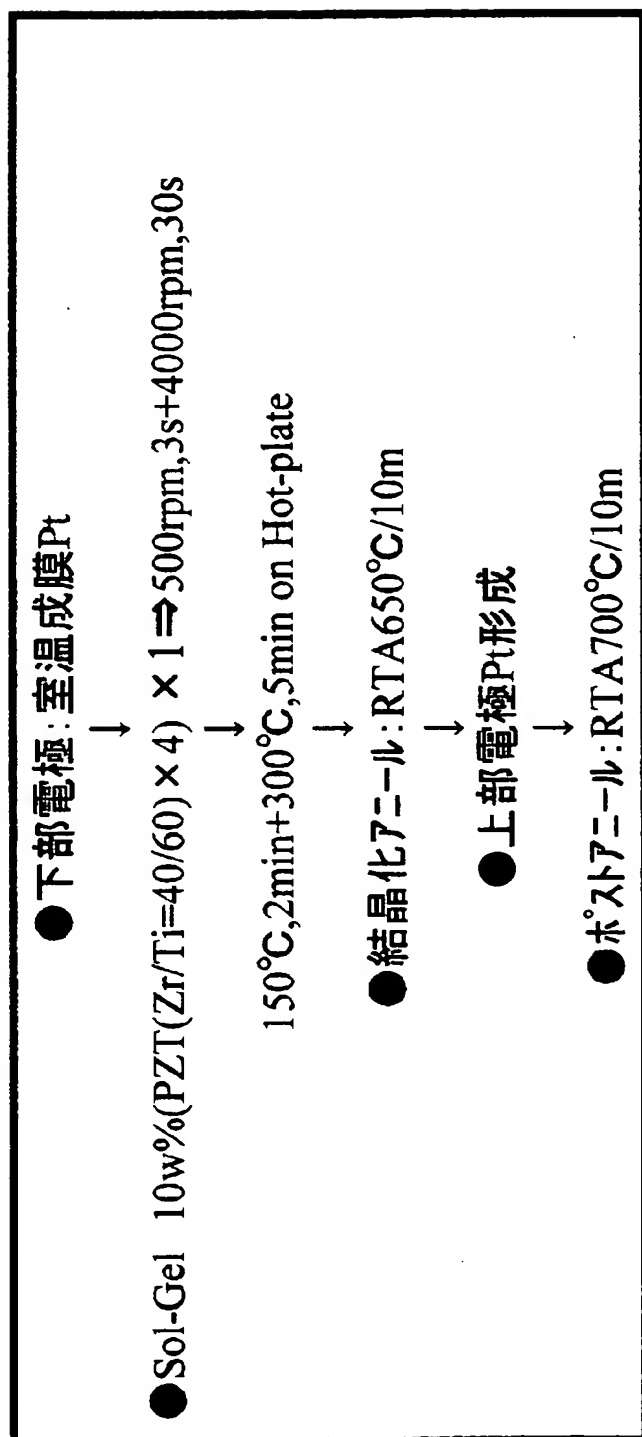
【図 7】



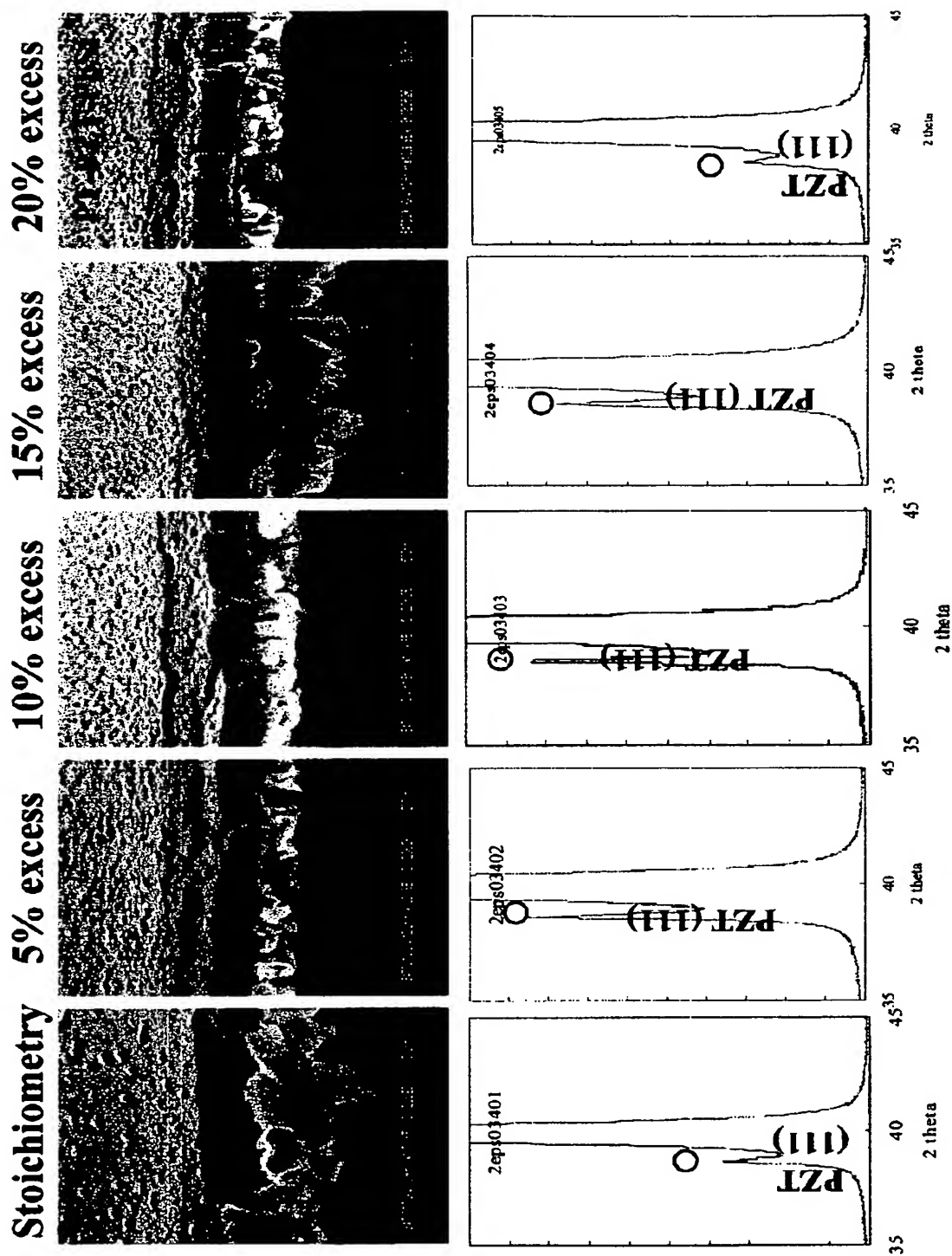
【図 8】



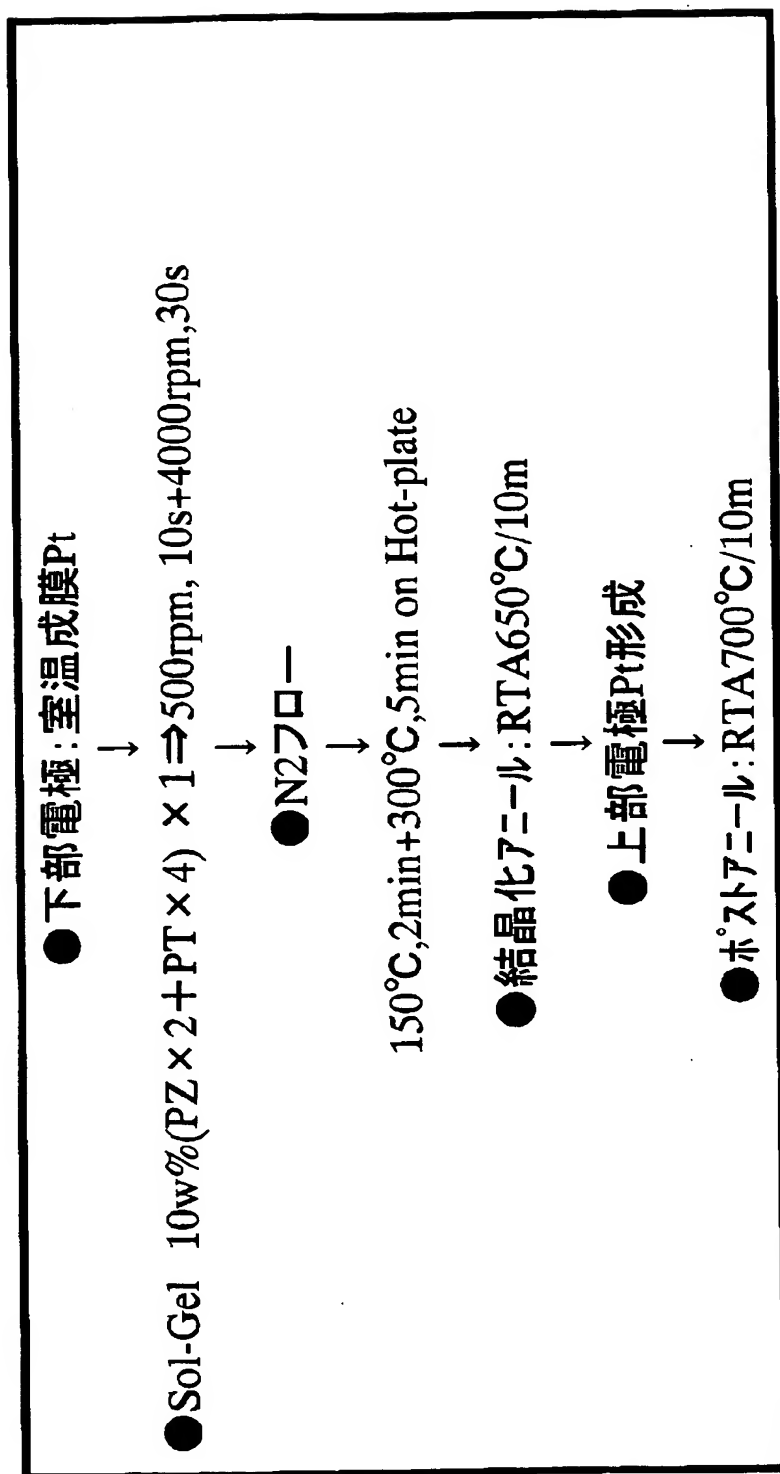
【図 9】



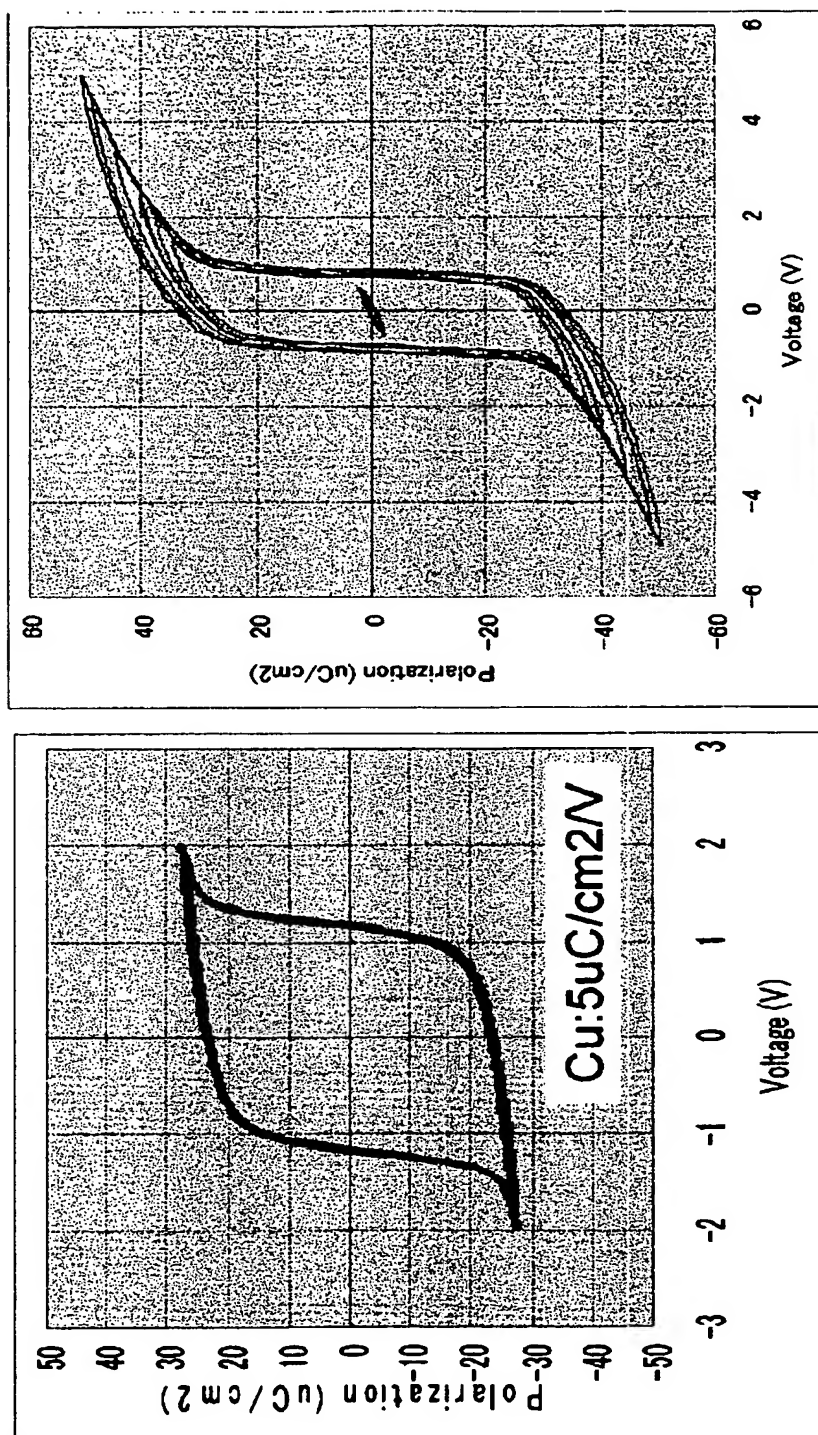
【図 10】



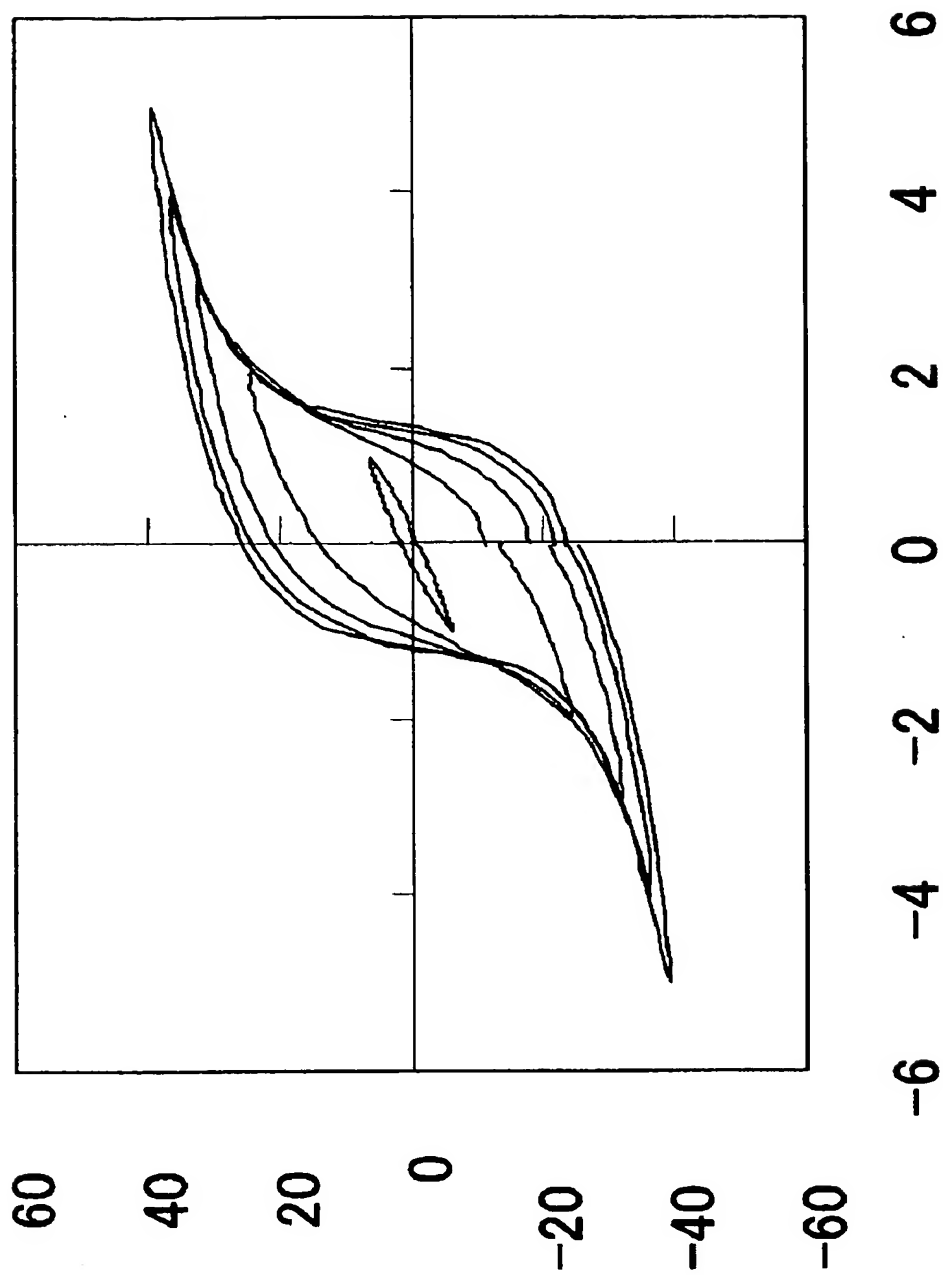
【図 11】



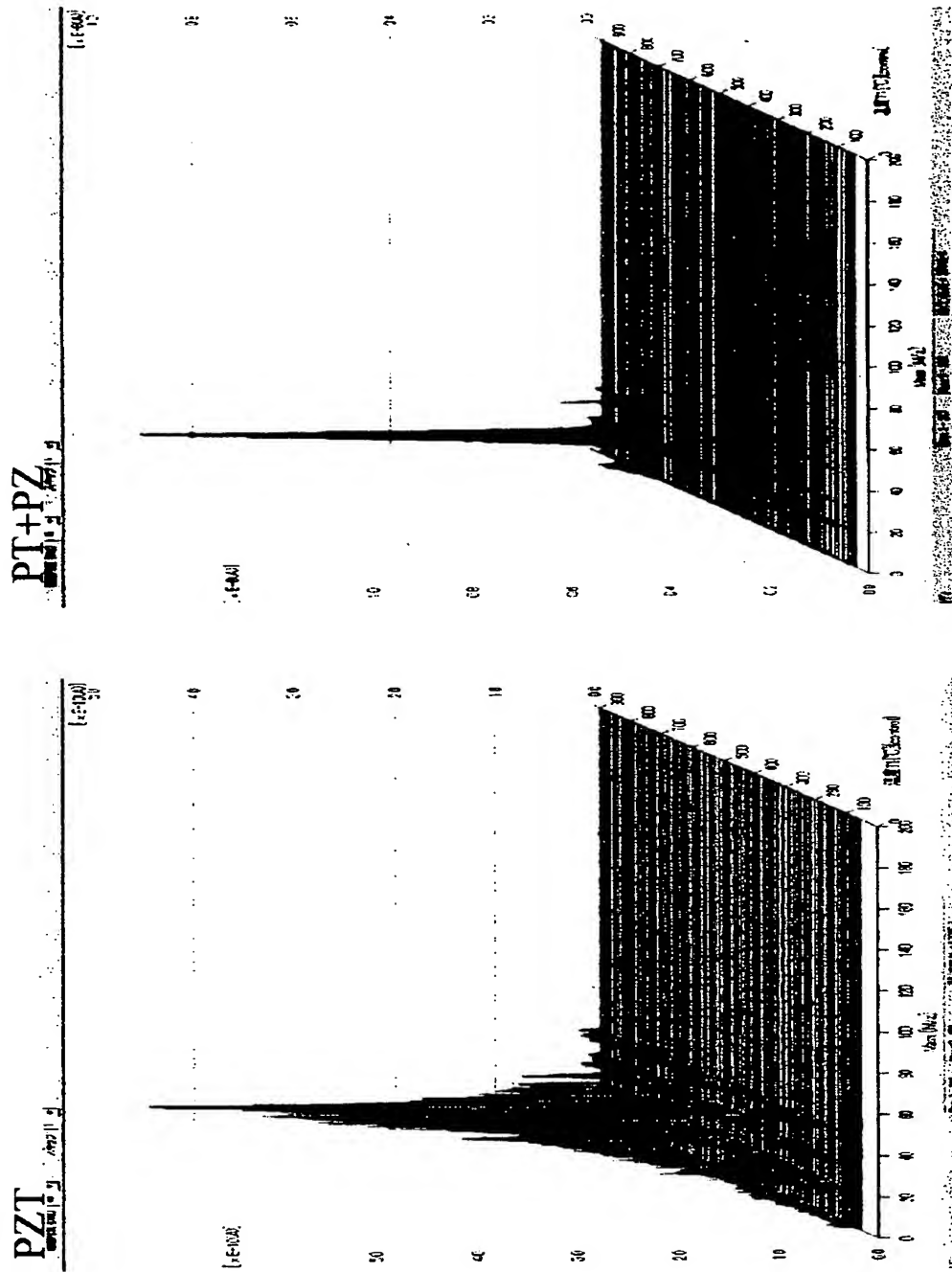
【図 12】



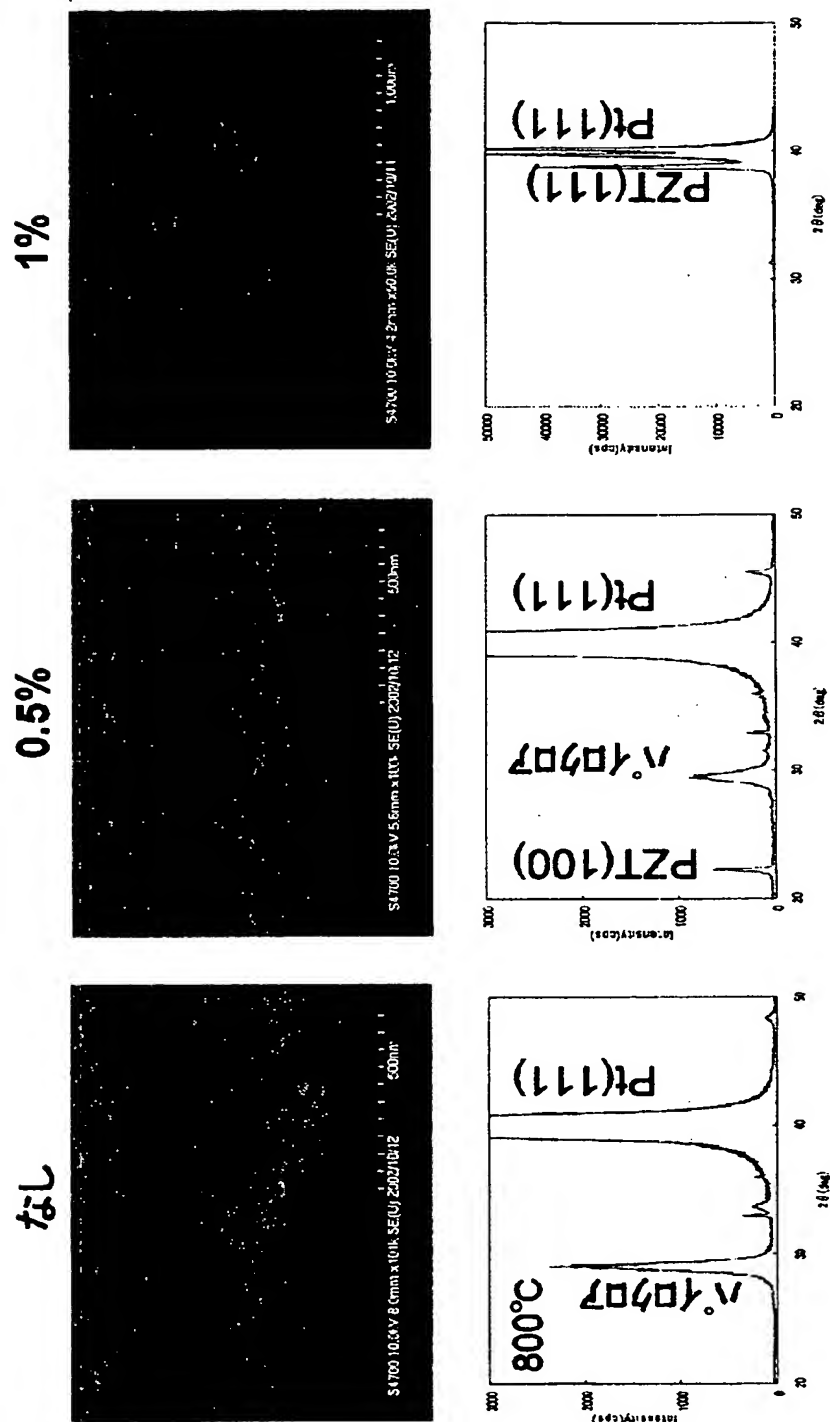
【図 13】



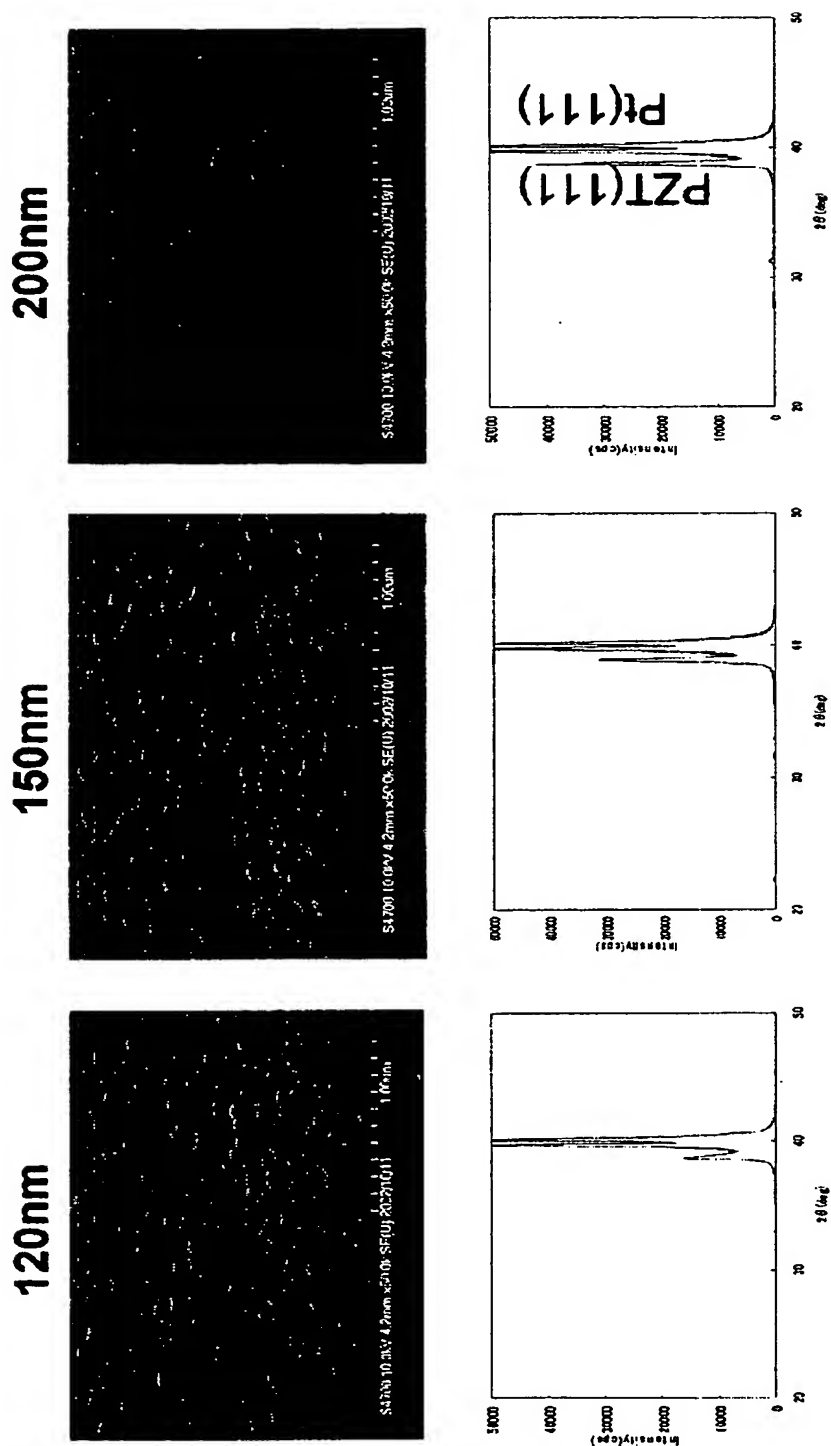
【図 14】



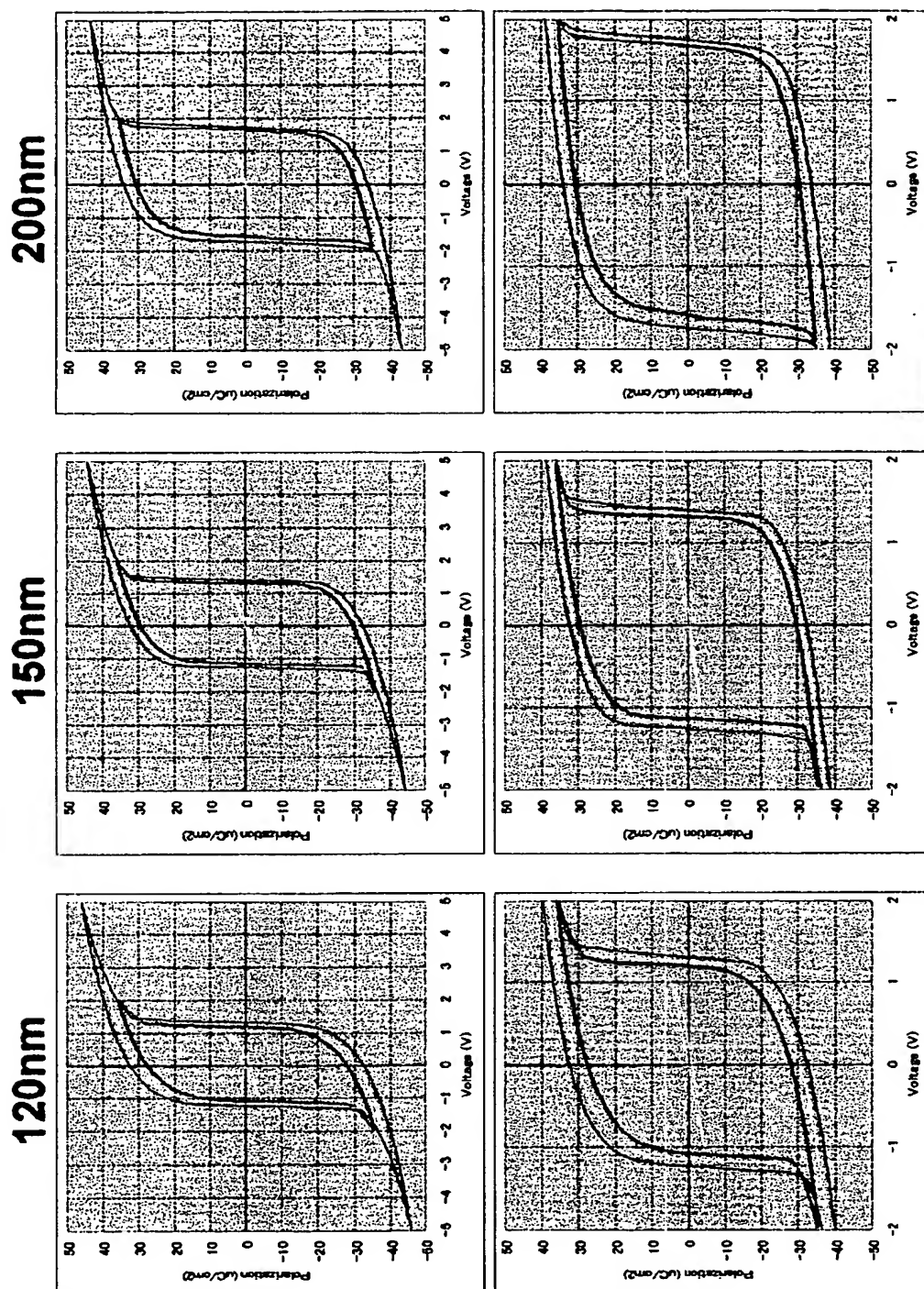
【図 15】



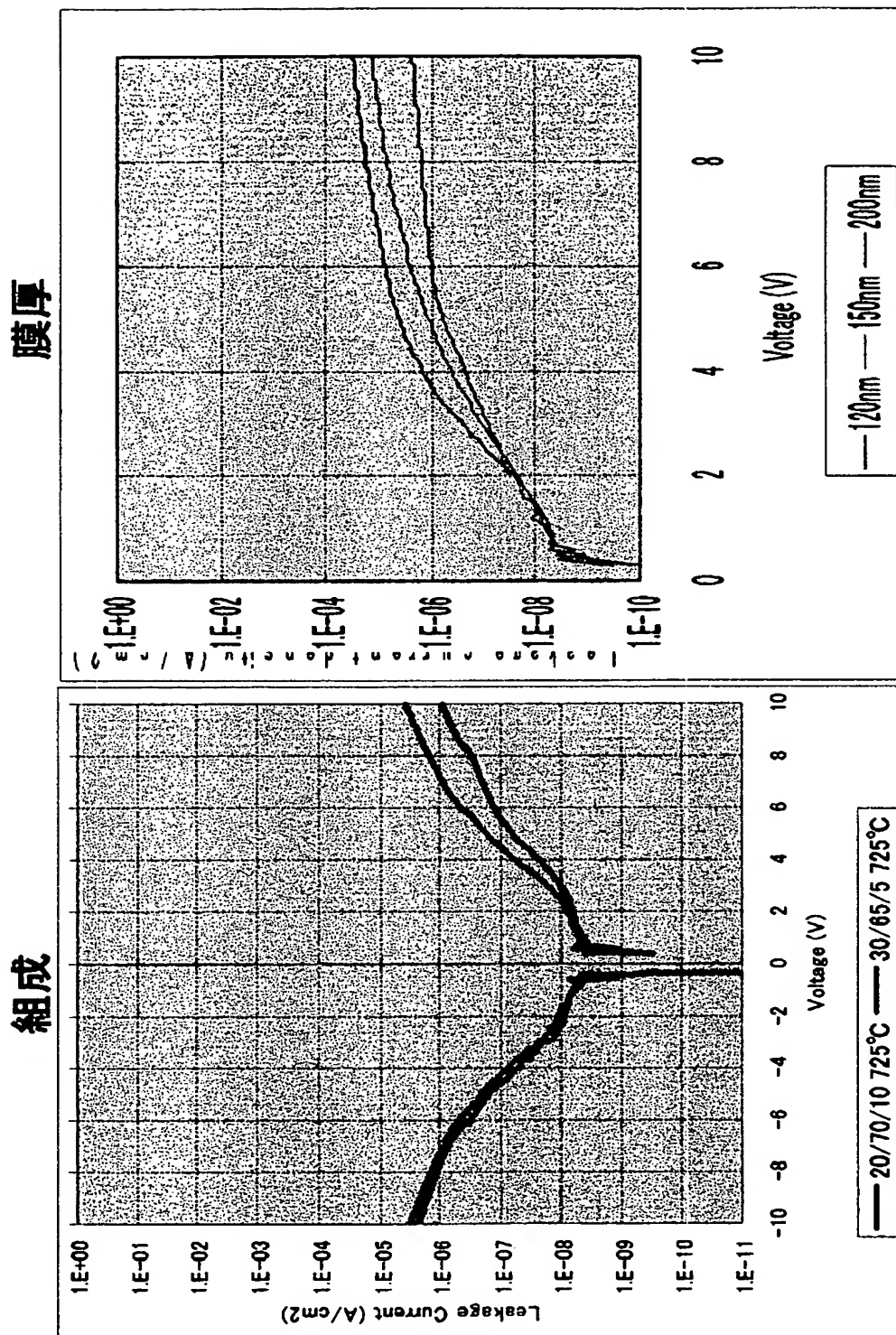
【図 16】



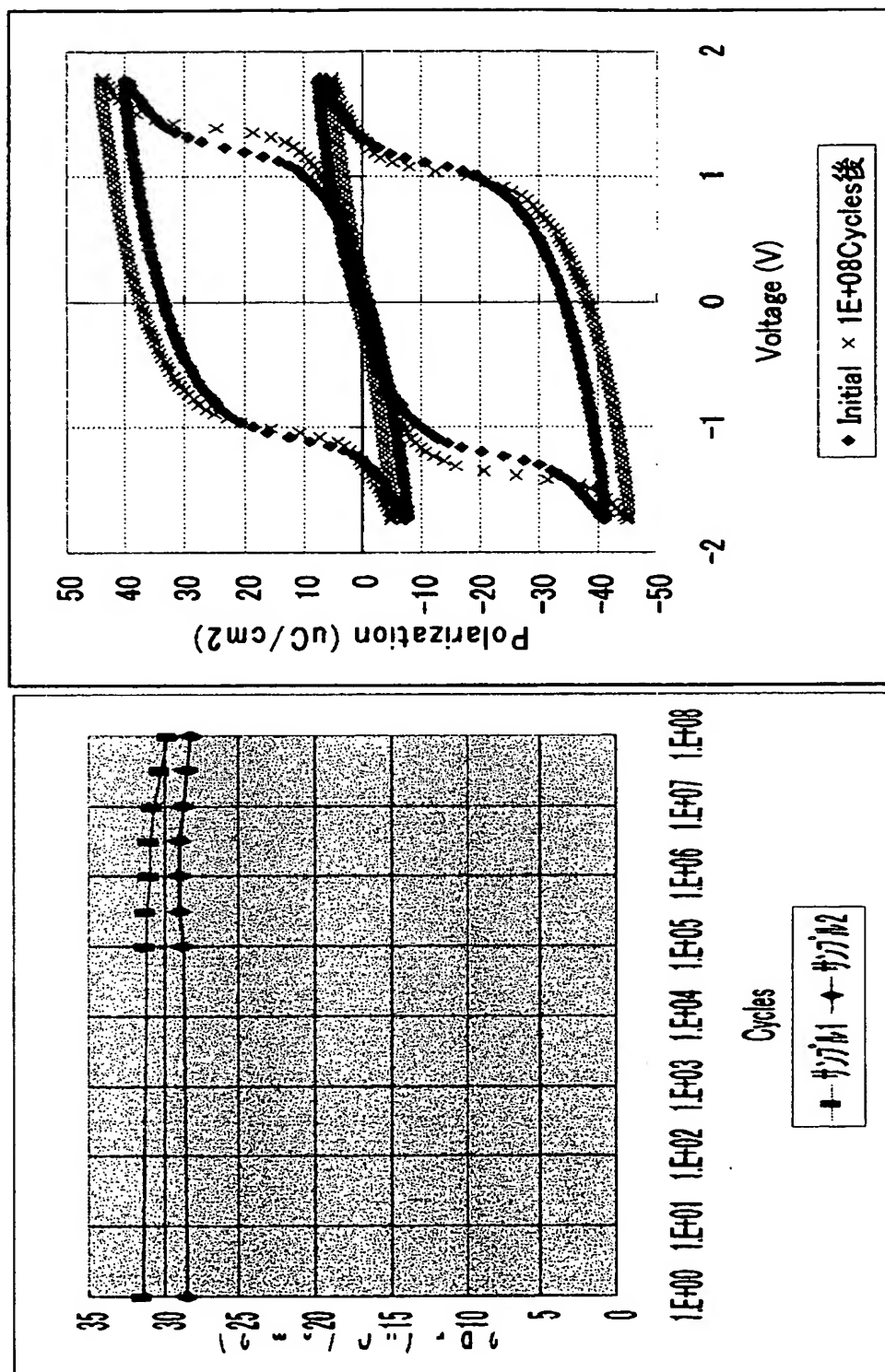
【図 17】



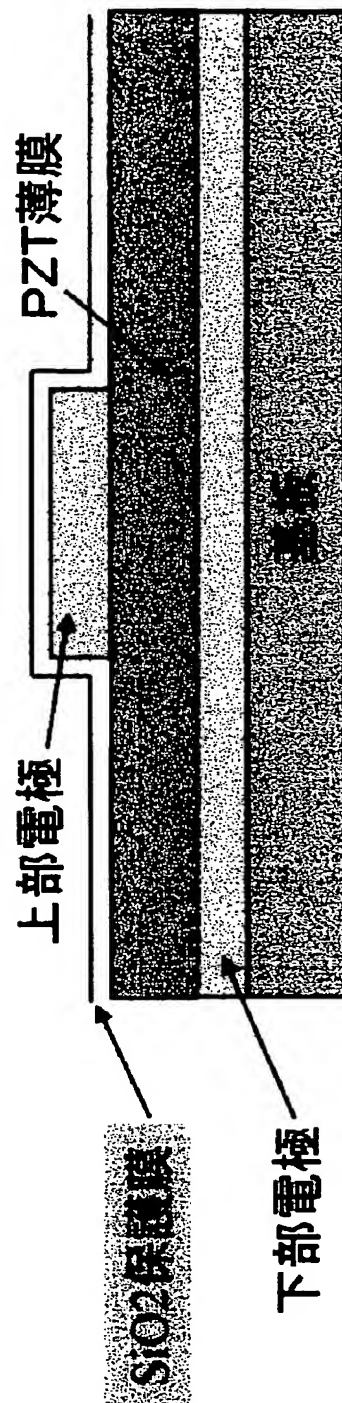
【図 18】



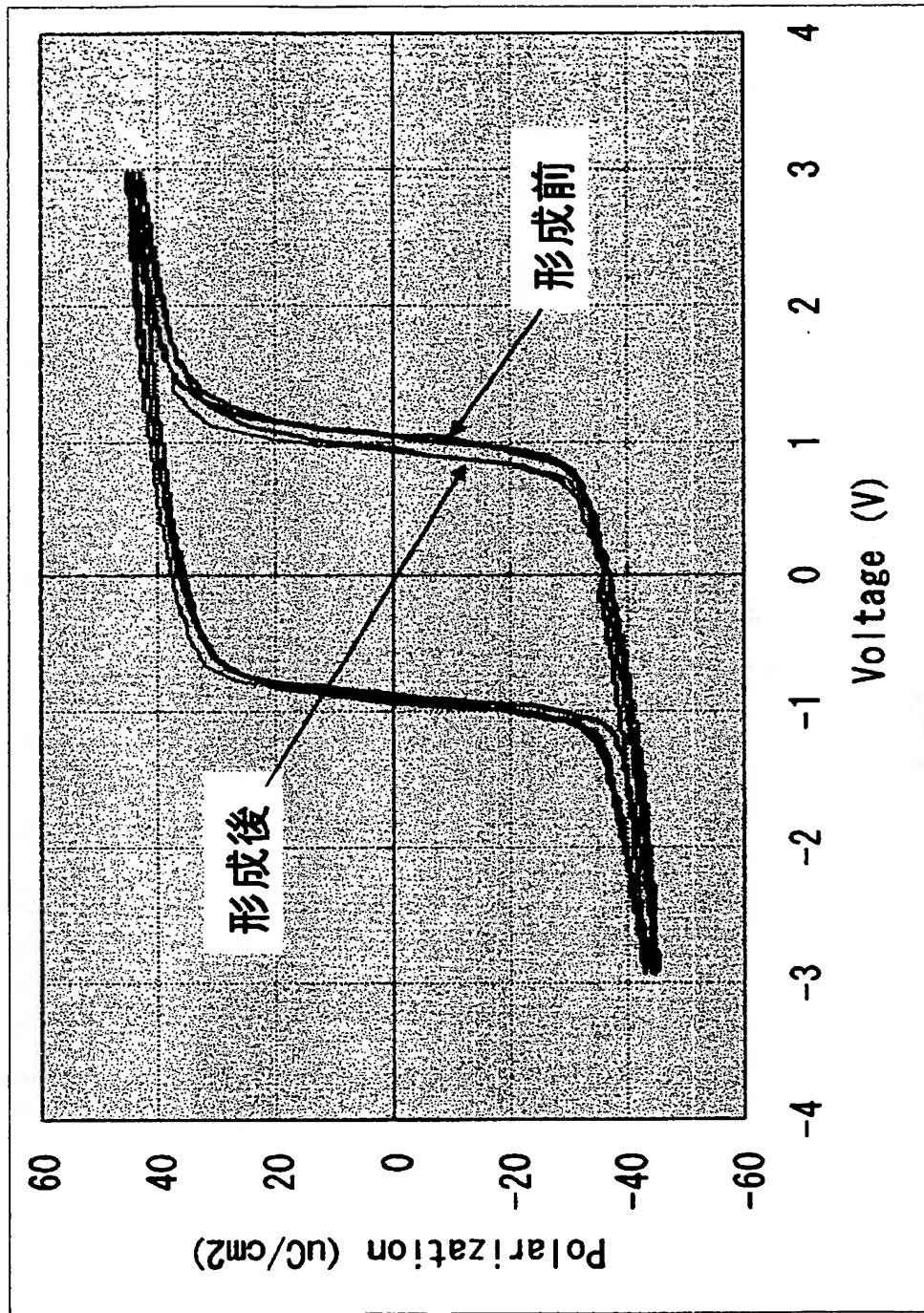
【図 19】



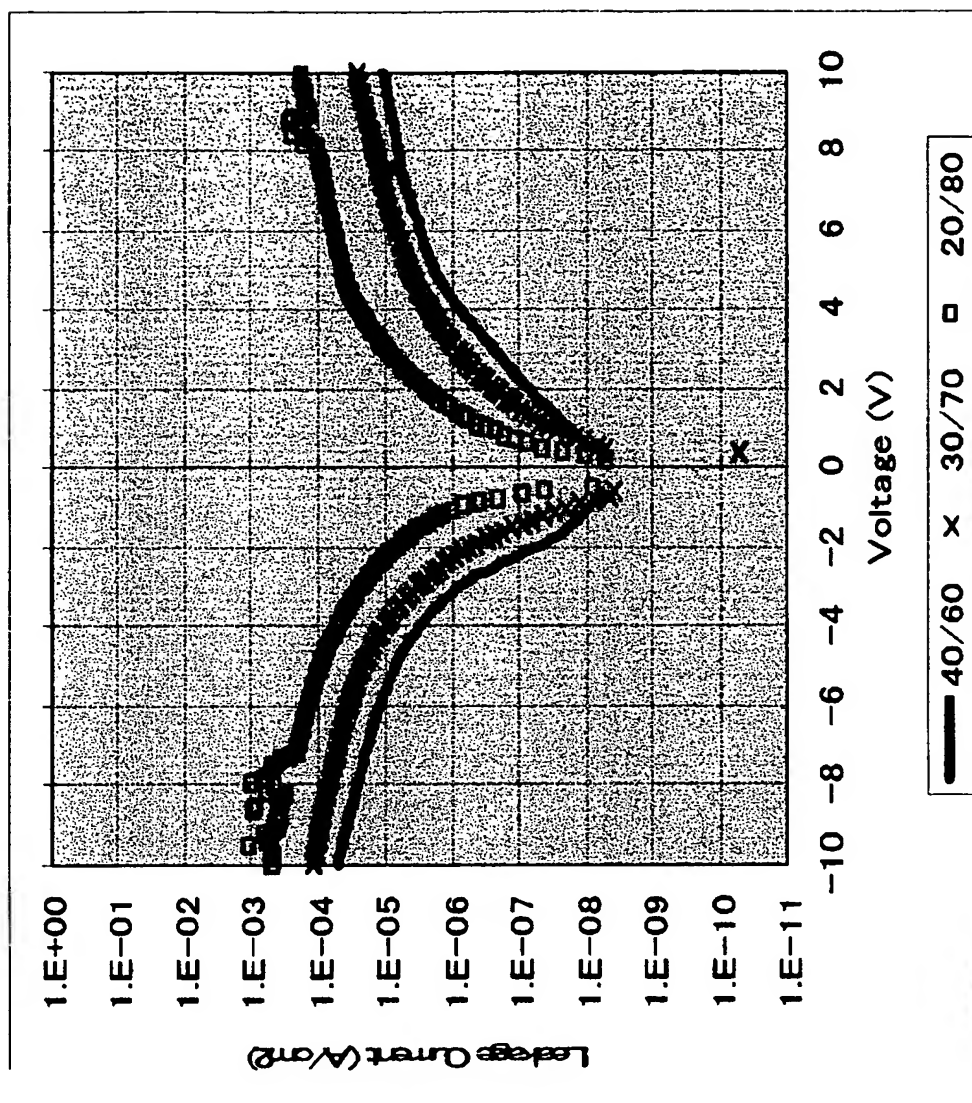
【図 20】



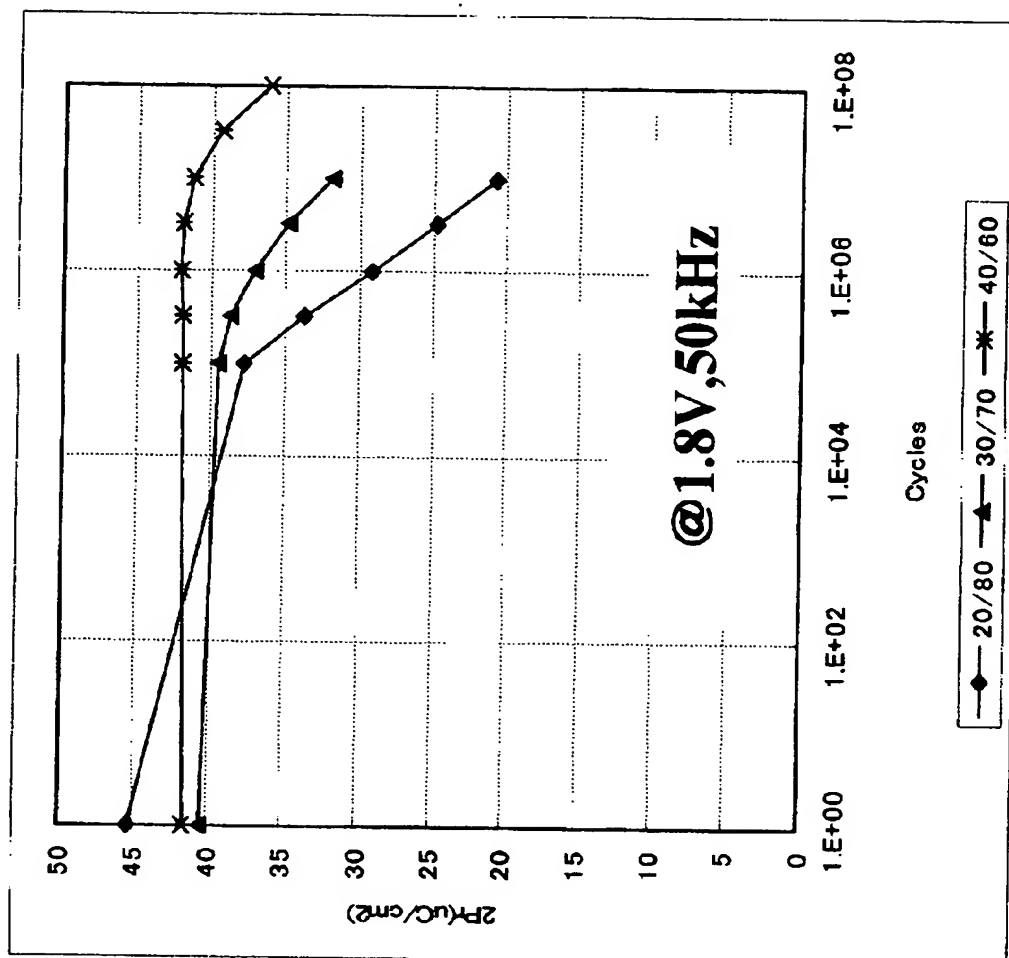
【図 21】



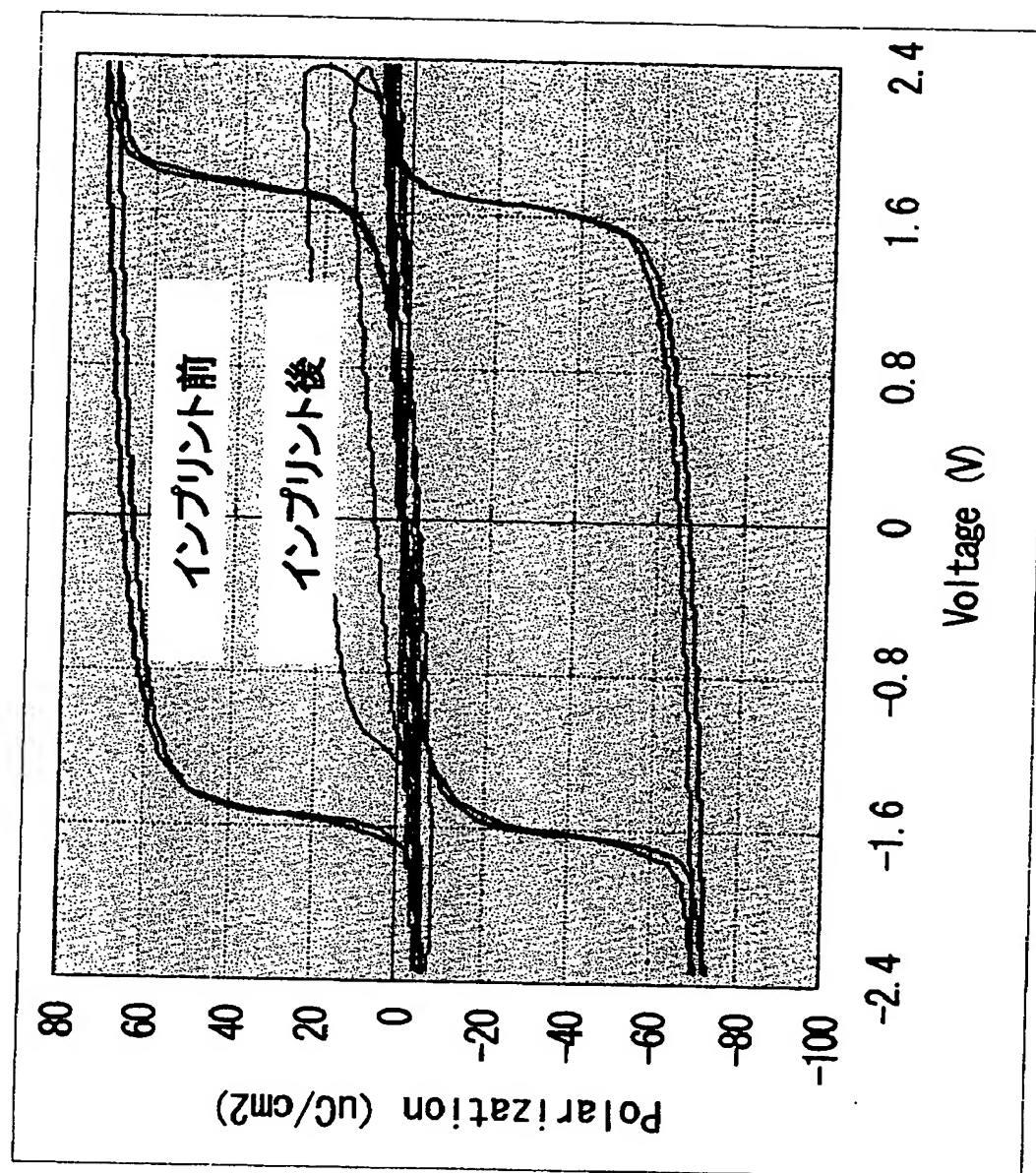
【図 22】



【図 23】



【図 24】



【書類名】 要約書

【要約】

本発明は、強誘電体キャパシタ及び選択用CMOSトランジスタからなる1T1C、2T2C型強誘電体メモリ及び単純マトリクス型強誘電体メモリの製造方法に関するものである。

強誘電体メモリのタイプに関わらず、共通で 사용할 ことが可能な強誘電体材料を提供するものであり、正方晶PZTに対し、5mol%以上のNbと1mol%以上のSiを同時に添加することで信頼性を著しく向上させたものである。

加えて、上記薄膜形成を含めて、強誘電体メモリ素子の製造方法を提供するものである。

【選択図】 図1

特願 2 0 0 2 - 3 0 9 4 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社